

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-195811
(43)Date of publication of application : 09.07.2003

(51)Int. Cl. G09G 3/30
G09F 9/30
G09G 3/20
H03K 17/00
H03K 17/693

(21)Application number : 2002-240039 (71)Applicant : NEC CORP
(22)Date of filing : 21.08.2002 (72)Inventor : ABE KATSUMI

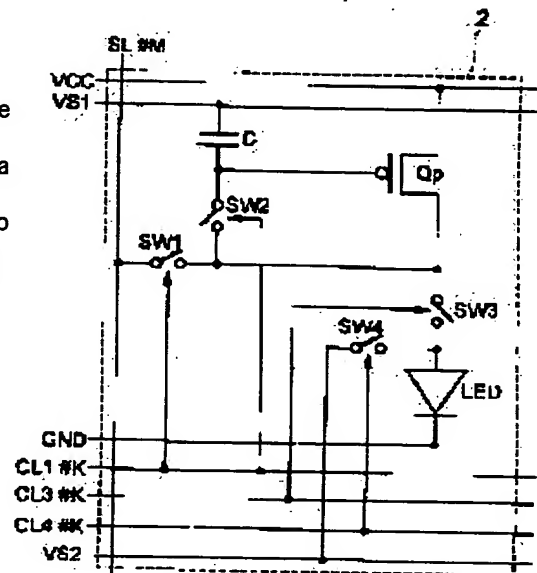
(30)Priority
Priority number : 2001259000 Priority date : 29.08.2001 Priority country : JP

(54) CURRENT LOAD DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a current load device which has high precision.

SOLUTION: A cell comprises a power line VCC, a ground line GND, voltage supply lines VS1 and VS2, a signal line SL, control lines CL1, CL3 and CL4, switches SW1, SW2, SW3 and SW4, a P-type TFT Qp, a capacity element C, and a current load element LED. The SW1, SW2, and SW4 are turned ON and the SW3 is turned OFF in first operation to store a current flowing to the signal line SL in a short time and the SW1, SW2 and SW4 are turned OFF and the SW3 is turned ON in second operation to supply a current to the current load element LED; and the SW1, SW2 and SW3 are turned OFF and the SW4 is turned ON in third operation to speedily stop the current supply and the operation of the current load element LED, so that the cell drives the current load element with the high-precision current. A current load device can be constituted which has cells in matrix.



VS2 : 電圧供給線

LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-195811

(P2003-195811A)

(43) 公開日 平成15年7月9日(2003.7.9)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z 5 J 0 5 5
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 3		6 2 3 D
審査請求 未請求 請求項の数33 O L (全 24 頁) 最終頁に続く			

(21) 出願番号 特願2002-240039(P2002-240039)
(22) 出願日 平成14年8月21日(2002.8.21)
(31) 優先権主張番号 特願2001-259000(P2001-259000)
(32) 優先日 平成13年8月29日(2001.8.29)
(33) 優先権主張国 日本(JP)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 安部 勝美
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74) 代理人 100088812
弁理士 ▲柳▼川 信

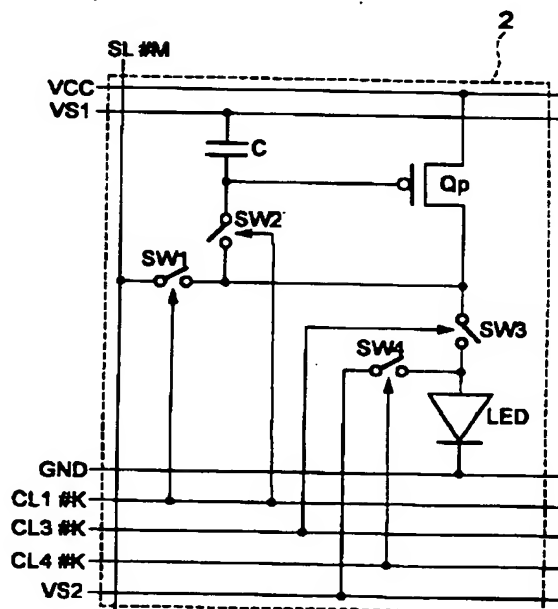
最終頁に続く

(54) 【発明の名称】 電流負荷デバイスとその駆動方法

(57) 【要約】

【課題】 精度の高い電流負荷デバイスを提供すること。

【解決手段】 セルは、電源線VCC、接地線GND、電圧供給線VS1、VS2、信号線SL、制御線CL1、CL3、CL4、スイッチSW1、SW2、SW3、SW4、P型TFT Qp、容量素子C、電流負荷素子LEDで構成される。第一の動作でSW1、SW2、SW4をON、SW3をOFFし、信号線SLに流れる電流を短時間で記憶し、第二の動作でSW1、SW2、SW4をOFF、SW3をONし、電流を電流負荷素子LEDに供給し、第三の動作で、SW1、SW2、SW3をOFF、SW4をONし、電流の供給と電流負荷素子LEDの動作を速やかに停止することで、高精度な電流で電流負荷素子を駆動するセルをマトリックス状に備える電流負荷デバイスを構成できる。



VS2: 電圧供給線

【特許請求の範囲】

【請求項 1】ソースが電源線または接地線に接続された駆動トランジスタと、電流または電圧が供給される信号線と前記駆動トランジスタのドレインとの間に接続された第一のスイッチと、前記信号線又は前記駆動トランジスタのドレインと、前記駆動トランジスタのゲートとの間に接続された第二のスイッチと、一端には第一の電圧供給線が接続し、他端が前記駆動トランジスタのゲートに接続された容量素子と、接地線または電源線と前記駆動トランジスタのドレインとの間に接続された電流負荷素子と第三のスイッチとの直列接続体と、を備えることを特徴とする電流負荷デバイス。

【請求項 2】ソースが電源線または接地線に接続され、ゲートには第二の電圧供給線が接続された第一のトランジスタと、前記第一のトランジスタに直列に接続された駆動トランジスタと、電流または電圧が供給される信号線と前記駆動トランジスタのドレインとの間に接続された第一のスイッチと、前記信号線又は前記駆動トランジスタのドレインと、前記駆動トランジスタのゲートとの間に接続された第二のスイッチと、一端には第一の電圧供給線が接続し、他端が前記駆動トランジスタのゲートに接続された容量素子と、接地線または電源線と前記駆動トランジスタのドレインとの間に接続された電流負荷素子と第三のスイッチとの直列接続体と、を備えることを特徴とする電流負荷デバイス。

【請求項 3】第一の動作状態として、前記第一と第二のスイッチを ON、前記第三のスイッチを OFF し、前記電流負荷素子に電流を流すこと無く、前記信号線に流れる電流が前記駆動トランジスタのドレイン—ソース間に流れるように前記駆動トランジスタの電流能力に従ったゲート電圧を前記容量素子に蓄積した後、第二の動作状態として、前記第一と第二のスイッチを OFF、第三のスイッチを ON し、前記駆動トランジスタは、前記第一の動作状態で信号線に流れていた電流を前記第三のスイッチを通して前記電流負荷素子に供給することを特徴とする請求項 1 又は 2 記載の電流負荷デバイス。

【請求項 4】第一の動作状態として、前記第一と第二のスイッチを ON、前記第三のスイッチを OFF し、前記電流負荷素子に電流を流すこと無く、前記信号線に印加される電圧を前記駆動トランジスタのゲートと前記容量素子に印加した後に、前記信号線に流れる電流が前記駆動トランジスタのドレイン—ソース間に流れるように前記駆動トランジスタの電流能力に従ったゲート電圧を前記容量素子に蓄積し、第二の動作状態として、前記第一と第二のスイッチを OFF、第三のスイッチを ON し、前記駆動トランジスタは、前記第一の動作状態で信号線に流れていた電流を前記第三のスイッチを通して前記電流負荷素子に供給することを特徴とする請求項 1 又は 2 記載の電流負荷デバイス。

【請求項 5】第一の動作状態として、前記信号線と前記

駆動トランジスタの間にある前記第二のスイッチを ON、前記第一と第三のスイッチを OFF し、前記電流負荷素子に電流を流すこと無く、前記信号線に印加される電圧を前記駆動トランジスタのゲートと前記容量素子に印加した後に、前記第一と第二のスイッチを ON、前記第三のスイッチを OFF することで、前記信号線に流れる電流が前記駆動トランジスタのドレイン—ソース間に流れるように前記駆動トランジスタの電流能力に従ったゲート電圧を前記容量素子に蓄積し、第二の動作状態として、前記第一と第二のスイッチを OFF、第三のスイッチを ON し、前記駆動トランジスタは、前記第一の動作状態で信号線に流れていた電流を前記第三のスイッチを通して前記電流負荷素子に供給することを特徴とする請求項 1 又は 2 記載の電流負荷デバイス。

【請求項 6】前記第三のスイッチは、前記第一のスイッチが ON されるのに先立ち OFF され、前記第一のスイッチが OFF された後に ON されるスイッチであることを特徴とする請求項 3～5 のいずれかに記載の電流負荷デバイス。

【請求項 7】前記第二のスイッチは、前記第一のスイッチが OFF されるよりも早く OFF されるスイッチであることを特徴とする請求項 3～6 のいずれかに記載の電流負荷デバイス。

【請求項 8】前記駆動トランジスタが、薄膜トランジスタ (Thin Film Transistor: TFT) により構成されていることを特徴とする請求項 1～7 のいずれかに記載の電流負荷デバイス。

【請求項 9】前記第一のスイッチ、第二のスイッチ及び第三のスイッチが TFT により構成されていることを特徴とする請求項 1～8 のいずれかに記載の電流負荷デバイス。

【請求項 10】前記第一のスイッチ、第二のスイッチを同一極性の TFT とし、前記第三のスイッチを前記第一のスイッチ、第二のスイッチと逆極性の TFT を用いることを特徴とする請求項 1～9 のいずれかに記載の電流負荷デバイス。

【請求項 11】前記第一のスイッチ、第二のスイッチ及び第三のスイッチが一つの制御線により制御されることを特徴とする請求項 1～5、8～10 のいずれかに記載の電流負荷デバイス。

【請求項 12】前記第一のスイッチ、第二のスイッチが同一の制御線により制御されることを特徴とする請求項 1～6、8～10 のいずれかに記載の電流負荷デバイス。

【請求項 13】前記第一のスイッチ、第三のスイッチが同一の制御線により制御されることを特徴とする請求項 1～5、7～10 のいずれかに記載の電流負荷デバイス。

【請求項 14】前記第二のスイッチ TFT と前記駆動トランジスタ TFT の間に、ドレイン—ソース間が短絡され、

前記第二のスイッチTFTとは逆動作を行うTFTがダミースイッチとして接続されていることを特徴とする請求項1～13のいずれかに記載の電流負荷デバイス。

【請求項15】前記ダミースイッチTFTのゲートの長さ(L)と幅(W)の比(W/L)の値が、前記第二のゲートの長さとの幅の比の値の半分であることを特徴とする請求項14記載の電流負荷デバイス。

【請求項16】一端を前記第三のスイッチと前記電流負荷素子の間に接続し、他の一端を第三の電圧供給線に接続している第四のスイッチを備えることを特徴とする請求項1～15のいずれかに記載の電流負荷デバイス。

【請求項17】前記第三の電圧供給線に印加される電圧値は、前記電流負荷素子が動作開始する電圧よりも低い電圧であることを特徴とする請求項16記載の電流負荷デバイス。

【請求項18】前記第四のスイッチは、前記第三のスイッチがOFF時にONすることにより、前記電流負荷素子に蓄積されている電荷が強制的に排除され、前記電流負荷素子に流れる電流を速やかに停止できることを特徴とする請求項17記載の電流負荷デバイス。

【請求項19】前記第四のスイッチがTFTにより構成されていることを特徴とする請求項16～18のいずれかに記載の電流負荷デバイス。

【請求項20】前記第三のスイッチと前記第四のスイッチに逆極性のTFTを用いることにより、前記第三のスイッチと前記第四のスイッチとが同一の制御線により制御されることを特徴とする請求項19記載の電流負荷デバイス。

【請求項21】前記第一の電圧供給線が、電源線又は接地線であることを特徴とする請求項1～20のいずれかに記載の電流負荷デバイス。

【請求項22】前記第一の電圧供給線により供給される電圧が、前記第一の動作状態と前記第二の動作状態において異なることを特徴とする請求項1～20のいずれかに記載の電流負荷デバイス。

【請求項23】電流負荷素子と、該電流負荷素子を駆動する駆動トランジスタと、前記駆動トランジスタに印加する電圧を保持する保持容量素子とを構成要素の一部とするセルを複数備え、アクティブマトリックス駆動される電流負荷デバイスの駆動方法において、前記保持容量素子が保持する適当な電圧レベルを設定する動作を行っている際には前記電流負荷素子を駆動せず、前記保持容量素子が設定動作を行っていない場合も前記電流負荷素子が駆動しない期間を設けることを特徴とする電流負荷デバイスの駆動方法。

【請求項24】前記電流負荷素子への電流の供給は、前記保持容量素子に電圧レベルを設定する動作に先立って停止されることを特徴とする請求項23記載の電流負荷デバイスの駆動方法。

【請求項25】前記電流負荷素子への電流の供給が停止

された際に、前記電流負荷素子に蓄積された電荷が強制的に排除されることを特徴とする請求項23又は24記載の電流負荷デバイスの駆動方法。

【請求項26】前記保持容量素子に電圧レベルを設定する際には、前記駆動トランジスタは、飽和領域で動作することを特徴とする請求項23～25のいずれかに記載の電流負荷デバイスの駆動方法。

【請求項27】前記保持容量素子に電圧レベルを設定する際には、前記保持容量素子と前記駆動トランジスタに電圧を印加する動作を行った後に、前記駆動トランジスタに電流を流す動作を行うことを特徴とする請求項23～26のいずれかに記載の電流負荷デバイスの駆動方法。

【請求項28】前記保持容量素子に電圧レベルを設定する際には、電流を前記駆動トランジスタのドレインソース間に流す動作を含むことを特徴とする請求項23～27のいずれかに記載の電流負荷デバイスの駆動方法。

【請求項29】前記電流負荷素子の動作の程度は、前記駆動トランジスタにより駆動される場合の前記電流負荷素子の動作の程度を第一の条件とし、前記電流負荷素子が動作している期間と前記電流負荷素子が動作していない期間の比を第二の条件とする二つの設定条件により設定することを特徴とする請求項23～28のいずれかに記載の電流負荷デバイスの駆動方法。

【請求項30】前記電流負荷素子として発光素子を用いた発光表示装置であることを特徴とする請求項1～22のいずれかに記載の電流負荷デバイス。

【請求項31】前記電流負荷素子として有機EL素子を用いた発光表示装置であることを特徴とする請求項1～22のいずれかに記載の電流負荷デバイス。

【請求項32】前記電流負荷素子として発光素子を用いた発光表示装置であることを特徴とする請求項23～29のいずれかに記載の電流負荷デバイスの駆動方法。

【請求項33】前記電流負荷素子として有機EL素子を用いた発光表示装置であることを特徴とする請求項23～29のいずれかに記載の電流負荷デバイスの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電流負荷素子を駆動する電流負荷駆動回路とその駆動方法に関し、特に前記電流負荷素子と電流負荷駆動回路がマトリックス状に配置されている電流負荷デバイスとその駆動方法に関するものである。

【0002】

【従来の技術】近年、流れる電流により動作が規定される電流負荷素子と前記電流負荷を駆動するための電流負荷駆動回路を含むセルが、マトリックス状に配置されているデバイスが開発されている。

【0003】例えば、有機EL(Electroluminescence)

素子を電流負荷素子とする発光表示装置においては、前記有機EL素子とその駆動回路を含む画素をマトリクス状に配置してアクティブマトリクス方式にて駆動する方式が広く採用されている。図37は、この種発光表示装置の表示装置部の概略を示す平面図である。同図に示すように、表示装置部1には、行方向に走る制御線CLが複数本（各制御線には、#1、#2、…、#(K-1)、#K、#(K+1)、…と順に番号が付されている）が形成され、また列方向に走る信号線SLが複数本（各信号線には、#1、#2、…、#(M-1)、#M、#(M+1)、…と順に番号が付されている）が形成されている。そして、制御線CLと信号線SLとの交差部には、画素2が形成されている。この表示装置は以下のように駆動される。すなわち、制御線CLが1本ずつ順に選択される。この制御線CLの選択に同期して、各信号線SLには選択された制御線CLに接続された画素に表示すべき輝度の信号が与えられる。この状態で選択された行の画素にその輝度信号の書き込みが行われ、各画素によりその書き込まれた信号の表示が次にその制御線が選択されるまで続けられる。

【0004】この方式にて表示の行われる発光表示装置の一般的な画素の構成を図38に示す（以下、第一の従来例）。図38に示すように、信号線SL（#M）、電源線VCC、接地線GND、制御線CL（#K）が画素2を通過しており、発光素子LEDは、陽極が電源線VCCに陰極がTFT（Thin Film Transistor：薄膜トランジスタ）Qのドレインに接続され、TFT Qのソースは接地線GNDに接続されている。スイッチSW1は、TFT Qのゲートと信号線SL間に接続され制御線CLにより制御される。容量素子Cは、TFT Qのゲートと接地線GNDの間に接続されている。

【0005】この第一の従来例の動作は、以下の通りである。制御線CLが選択されると、スイッチSWはON状態になる。この時、信号線SLは、発光素子LEDが目的の階調の輝度で発光するようにするため、発光素子LEDの電流-輝度特性に応じた電流を供給する電圧をTFT Qのゲートに印加する。この電圧が容量素子Cにより保持（記憶）されることにより、制御線CLが非選択となり、スイッチSW1がOFFになった場合も保持される。この動作により、発光素子LEDは期待された階調の輝度を保持できる。

【0006】この第一の従来例の問題点は、ゲート電圧に対する電流能力のばらつきが存在すると、同じ電圧をゲートに印加しても発光素子ごとに供給される電流が異なってしまうことである。その結果、期待された輝度を与える電流が発光素子に供給されないことになり、表示装置として画質が低下する。特に、表示装置に使用されることの多いポリシリコンTFTの場合、電流能力のばらつきが大きいので、画質の低下が顕著となる。

【0007】この点に対処するものとして、信号線より目的の輝度で発光させるに必要な電流を供給し、その電

流をトランジスタにて電圧に変換してその電圧を保持（記憶）する方式も実現されている。

【0008】図39は、特開平11-282419号公報により開示された、信号線より電流信号を供給する方式を採る発光表示装置の画素の構成を示す回路図である（以下、第二の従来例）。図39に示されるように、画素2には、信号線SL（#M）、電源線VCC、接地線GND、制御線CL（#K）が通過している。そして、発光素子LEDは、陽極が電源線VCCに陰極がTFT Q1のドレインに接続され、TFT Q1のソースは接地線GNDに接続されている。制御線CLで制御されるスイッチSW1は信号線SLとTFT Q2のドレインとの間に接続され、TFT Q2のゲート-ドレイン間は短絡されており、そのソースは接地線GNDに接続されている。また制御線CLで制御されるスイッチSW2はTFT Q1のゲートとTFT Q2のゲートとの間に接続されている。さらに、容量素子Cは、TFT Q1のゲートと接地線GNDの間に接続されている。

【0009】この第二の従来例の動作は、以下の通りである。制御線CLが選択されると、スイッチSW1、SW2はON状態になる。この時、信号線SLには、発光素子LEDを目的の階調の輝度で発光させるために、発光素子LEDの電流-輝度特性に応じた電流が流れている。この電流は、TFT Q2のドレイン-ソース間に流れるが、TFT Q2はゲートとドレイン間が短絡されているために、そのゲート電圧は、TFT Q2が飽和領域でこの電流を流す電圧に設定され、この電圧は容量素子Cに記憶される。TFT Q1は、TFT Q2とカレントミラーを構成しているため、TFT Q1と同じ電流能力を持つ場合、TFT Q2と同じ電流、つまり信号線SLに流れる電流と同じ電流を流し、発光素子LEDに供給する。この後、制御線CLが非選択になされた場合にも、容量素子Cによりゲート電圧が保持（記憶）されているため、TFT Q1は、前記電流を発光素子LEDに供給し、発光素子LEDは、期待された階調の輝度を保持できる。

【0010】図40は、Digest of IEDM (1998)、pp. 875-878にて、R. M. A. Dawson et al.により提示された、目的の輝度を得るに必要な電流を信号線より供給する方式を採るもう一つの発光表示装置の1画素分の回路図である。図40に示されるように、この発光表示装置の画素2は、通過する信号線SL（#M）、電源線VCC、接地線GND、制御線CL1（#K）、制御線CL2（#K）と、4つのpチャネル型TFT（以下、p-TFT）Qp1～Qp4、発光素子LEDおよび容量素子Cにより構成されている。そして、ゲートが制御線CL2に接続されたp-TFT Qp4のソースは電源線VCCに接続され、そのドレインは、p-TFT Qp1のソースに接続されている。p-TFT Qp1のドレインは、ゲートが制御線CL1に接続されたp-TFT Qp3のドレインと共に発光素子LEDの陽極に接続されている。p-TFT Qp3のソースはp-TFT Qp1のゲートに接続され、発光素子LEDの陰極は接地線GNDに接続されてい

る。また、ゲートが制御線CL1に接続されたp-TFT Qp2のソースは信号線SLに接続され、そのドレインは、p-TFT Qp1のソースとp-TFT Qp4のドレインとの接続点に接続されている。また、p-TFT Qp1のゲートとソース間には容量素子Cが接続されている。

【0011】この第三の従来例の動作は、以下の通りである。この画素2が選択された場合、制御線CL1（#K1）は、“L”状態、制御線CL2（#K）は、“H”状態となり、p-TFT Qp2とp-TFT Qp3はON、p-TFT Qp4はOFFになる。この時、信号線SL（#M）には、発光素子LEDを目的の階調の輝度で発光させるため、発光素子LEDの電流-輝度特性に応じた電流が流れる。この電流は、p-TFT Qp2のドレイン-ソース間、p-TFT Qp1のドレイン-ソース間を通して、発光素子LEDに供給される。この時、p-TFT Qp1は、そのドレイン-ゲート間がp-TFT Qp3のドレイン-ソース間を通して短絡されて、飽和状態で動作しており、p-TFT Qp1のゲート電圧は、前記電流を流すような電圧に設定され、そしてこの電圧は容量素子Cに記憶される。制御線の選択が#Kから次の行に移ると、制御線CL1（#K）は、“H”、制御線CL2（#K）は、“L”となり、信号線SLから本画素へ電流の供給がなくなるが、p-TFT Qp4がONに転じこのトランジスタを通して電流が流れる。この場合、信号線SLからの電流がp-TFT Qp1に流れていた時のゲート電圧が容量素子Cによって記憶（保持）されているため、p-TFT Qp1はこの電流を発光素子LEDに供給し、発光素子LEDは、期待された階調の輝度を保持できる。

【0012】

【発明が解決しようとする課題】上述した第一の従来例では、電圧信号で輝度が与えられるが、ポリシリコンTFTは、ゲート電圧に対する電流能力のばらつきが大きく、同じ電圧をゲートに印加しても発光素子ごとに供給される電流が異なることにより輝度も変わるため、発光素子を目的の輝度で発光させることが難しく表示装置として画質が低下する問題があった。

【0013】一方、第二の従来例では、対となるカレントミラーを構成するトランジスタがTFTにより構成されているが、TFTでは、結晶シリコントランジスタの場合と異なり、近接配置されたとしても、対をなすトランジスタ間で電流能力に大きな差が生じる可能性があるため、電流を記憶（変換）するトランジスタと発光素子に電流を供給するトランジスタ間で電流能力に差が生じ、結果として目的とする輝度を高い精度で再現することが困難になる。

【0014】上述した第三の従来例では、発光素子として有機ELなどを想定した場合、発光素子が数pF程度の容量を並列に持ちこれが駆動TFTの負荷となるため、画素選択時に、駆動TFTの電流値が、発光素子に期待した電流を供給する値に落ち着き、各部の電圧が発光素子に期待した電流を供給する状態に落ち着くまでに時間がかか

る。よって、高精細化のために選択期間が短縮されると、p-TFT Qp1のゲート電圧が、信号線に流れている電流をp-TFT Qp1が発光素子に流す電流となる電圧に安定する前に選択時間が終了し、p-TFT Qp1は、期待される電流を供給できなくなる。この時、発光素子LEDは、期待された輝度で発光しないため、画質が低下する。すなわち、高精細化しようすると画質が低下する問題点が、第三の従来例にあった。

【0015】本発明の課題は、電流負荷素子、特に有機EL素子などの発光素子を駆動する際の、上述した従来技術の問題点を解決することであって、その目的は、第一に、電流負荷素子に電流を高精度に供給することができるようになることであり、第二に、駆動TFTのソース-ゲート間の電圧が駆動TFTに期待される電流値の電流を流す電圧に速やかに安定するようにして、高精細化、大型化した場合にも、駆動TFTのばらつきに起因するデバイス特性の低下が生じない電流負荷デバイスを提供できるようにすることである。

【0016】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、ソースが、直接又はトランジスタを通し、任意の電源線又は接地線ONDに接続された駆動トランジスタと、信号線と前記駆動トランジスタのドレインとの間に接続された第一のスイッチと、前記駆動トランジスタのドレイン又は前記信号線と、前記駆動トランジスタのゲートとの間に接続された第二のスイッチと、一端が適当な電圧線に接続され、他端が前記駆動トランジスタのゲートに接続された容量素子と、接地線又は任意の電源線と前記駆動トランジスタのドレインとの間に接続された、電流負荷素子と第三のスイッチとの直列接続体と、を備えることを特徴とする電流負荷デバイス、が提供される。

【0017】そして、好ましくは、前記第三のスイッチは前記第一のスイッチがOFFされる際にONされ前記第一のスイッチがONされるのに先立ってOFFされるスイッチである。また、一層好ましくは、前記電流負荷素子には、前記第三のスイッチとは逆動作を行う第四のスイッチが並列に接続される。

【0018】また、上記の目的を達成するため、本発明によれば、電流負荷素子と、該電流負荷素子に駆動電流を供給する駆動トランジスタと、前記駆動トランジスタに印加する電圧を記憶する保持容量素子とを備えるセルを複数備え、アクティブマトリクス駆動される電流負荷デバイスの駆動において、少なくとも前記保持容量素子に保持動作を行わせている際には前記電流負荷素子には電流が供給されないことを特徴とする電流負荷デバイスの駆動方法、が提供される。

【0019】そして、好ましくは、前記電流負荷素子への電流の供給は、前記保持容量素子に保持動作を行わせるのに先立って停止される。また、一層好ましくは、前

記電流負荷素子への電流の供給が停止された際に、前記電流負荷素子に蓄積された電荷は強制的に排除される。

【0020】[作用] 上述した本発明の構成によれば、電流を記憶し、供給する駆動トランジスタと電流負荷素子の間にスイッチを設け、信号線からの電流トランジスタのドレインソース間に流れるように駆動トランジスタのゲート電圧を設定する電流記憶期間ではこのスイッチをOFF するため、電流記憶時には、電流負荷素子もつ容量の影響を受けないようにすることができ、短時間で電流を記憶することが可能となる。

【0021】また、電流負荷素子に電流を供給し始めた任意時間後に、電流を記憶し供給するトランジスタと電流負荷素子の間のスイッチSWをOFF するように構成した場合、電流負荷素子の動作時間と非動作期間の割合による時間平均としての電流負荷素子の動作が規定される。この場合、動作を停止しない場合と同一動作にするためには、電流負荷素子が動作している期間の電流負荷素子の動作を大きくする必要があり、電流負荷素子に流す電流値を大きくする必要があるので、信号線に流す電流も大きくなる。よって、信号線や負荷の容量を充電する時間を短くでき、電流を記憶するのに必要な時間を短縮することができる。

【0022】また、前記電流負荷素子が有機EL素子のような発光素子の場合、上記のように発光を停止した状態を含めることで、CRT (Cathode Ray Tube) に似た表示動作となり、残像が残りにくくなるため、動画の表示も高画質となる。

【0023】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。ただし、以下では、発光素子にて説明するが、これは電流負荷素子の一例であり、一般的な電流負荷素子に適用できる。

【0024】[第一の実施の形態]図1は、本発明の第一の実施の形態の1画素の構成を示す回路図である。図1に示すように、画素2内には、列方向に走る信号線SLと、行方向に走る制御線CL1～CL3、電圧供給線PB1～PB3が通過しており、TFT Q、スイッチSW1～SW3、容量素子C、発光素子LEDが配備される。TFT Qのドレイン又はソースのいずれかの第一端は、電圧供給線PB2と接続されており、TFT Qのドレイン又はソースのいずれかの第二端と発光素子LEDとの間にはスイッチSW3が、また、前記TFT Q第二端と信号線SLとの間にはスイッチSW1が接続されている。発光素子LEDのスイッチSW3と反対側の端子は、電圧供給線PB1と接続されている。さらに、前記TFT Qの第二端とTFT Qのゲートの間には、スイッチSW2が接続され、TFT Qのゲートと電圧供給線PB3との間には、容量素子Cが接続されている。ここで、スイッチSW1、SW2、SW3は、それぞれ制御線CL1、CL2、CL3により制御されている。

【0025】図2は、図1に示す第一の実施の形態の第

一の動作例を示すタイミングチャートである。この動作例の第一の動作状態(電流記憶状態、行選択期間)では、制御線CL1によりスイッチSW1がON、制御線CL2によりスイッチSW2がON、制御線CL3によりスイッチSW3がOFFとなる。このとき、信号線SLには、発光素子LEDの電流-輝度特性に従って目的階調に対応する電流が供給されている。

【0026】この第一の動作状態において、TFT Qは、前記TFT Qの第二端とゲートがスイッチSW2により短絡されているため、飽和領域で動作する。一方、スイッチSW3がOFFされているため、発光素子LEDには電流が流れず、発光素子LEDは動作(発光)しない。信号線SLから供給された電流は、TFT Qに流れ、TFT Qのゲート電圧は、TFT Qの持つ電流能力に従って、前記電流をドレインソース間に流すような電圧に設定される。この時、発光素子LEDが持つ容量に信号線SLからの電流が流れ込まないため、TFT Qのゲート電圧は、信号線SLからの電流がTFT Qのドレインソース間に流れる値に速やかに設定される。

【0027】次の第二の動作状態(電流供給状態)は、表示装置中の図示された画素の行以外の行が選択された状態であり、制御線CL1によりスイッチSW1がOFF、制御線CL2によりスイッチSW2がOFF、制御線CL3によりスイッチSW3がONとなる。

【0028】この第二の動作状態において、TFT Qのゲート電圧は、容量素子Cによって、第一の動作状態時のゲート電圧が保持されているため、TFT Qは、スイッチSW3を通して、第一の動作状態で信号線SLより供給された電流を発光素子LEDに供給でき、発光素子LEDは、目的の階調の輝度となる動作を行う(発光する)。

【0029】本実施の形態では、画素内のTFT Qがその能力に従って信号線SLからの電流を流すようなゲート電圧を記憶し、記憶したTFT Qが発光素子LEDに電流を供給するため、TFT Qの電流特性と関係なく、精度の高い電流を記憶・供給することが可能である。

【0030】図2に示す動作例を行う場合、制御線CL1と制御線CL2の動作が同じであるため、制御線CL1とCL2を1つの制御線に共通にすることができる。さらに、スイッチSW1、SW2とスイッチSW3とを異なる導電型のTFTにより構成するようにする場合には、制御線CL1～CL3を共通化して1本の制御線とすることも可能である。

【0031】図3は、図1に示す第一の実施の形態の第二の動作例を示すタイミングチャートである。この動作例の図2に示した第一の動作例と異なる点は、第一の動作状態において、スイッチSW2がスイッチSW1より早くOFFされる点である。このような動作を行わせる場合、そしてスイッチSW2としてTFTのようにゲートドレイン間に容量を持つ素子を用いる場合には、スイッチSW2とTFT Qのゲートとの間に、ソースドレイン間が短絡

されたTFTをダミースイッチとして接続することができる。

【0032】図3に示した動作例では、制御線CL1とCL2とを共通化することは出来ないが、スイッチSW1とスイッチSW3とは互いに逆動作を行うスイッチであるため、スイッチSW1とスイッチSW3を異なる導電型(極性)のTFTにより構成することにより、制御線CL1とCL3を共通化することができる。

【0033】図4は、図1に示す第一の実施の形態の第三の動作例を示すタイミングチャートである。この動作例では、第一の動作状態(電流記憶状態、行選択期間)において図示された画素が選択され、制御線CL1によりスイッチSW1がON、制御線CL2によりスイッチSW2がON、制御線CL3によりスイッチSW3がOFFとなっており、図2に示した第一の動作例と同じ動作が行われる。

【0034】次の第二の動作状態(電流供給状態)は、図1に示した画素以外の行が選択された状態であり、制御線CL1によりスイッチSW1がOFF、制御線CL2によりスイッチSW2がOFF、制御線CL3によりスイッチSW3がONとなる。

【0035】この状態において、TFT Qのゲート電圧は、第一の動作状態時に容量素子Cに記憶された電圧となり、TFT Qは、スイッチSW3を通して、第一の動作状態で信号線SLより供給された電流を発光素子LEDに供給し、発光素子LEDを目的階調の輝度で発光させる。

【0036】次の第三の動作状態(電流停止状態)では、図示された画素の行以外の行が選択されている状態において、再び図示された画素の行が選択される前に、制御線CL3によりスイッチSW3をOFFさせる。これにより、発光素子LEDへの電流の供給は停止され、発光素子LEDは動作(発光)しなくなる。

【0037】この第三の動作例では、第一から第三の動作状態の内、第二の動作状態は発光素子LEDが発光しているのに対し、第一の動作状態は短時間であるが発光素子LEDは発光せず、第三の動作状態は発光しない。これより、発光素子LEDを1フレーム期間の数分の1の期間のみ発光させるようにすることができる。例えば、発光素子を1フレーム期間の1/3だけ発光させるようにした場合、全期間発光させた場合と時間平均での輝度を同一とするためには、3倍の電流を流すことになる。電流値が大きくなると、信号線などの配線容量を充電する時間が短くて済み、電流を記憶するのに必要な第一の動作状態の期間を短縮できる。従って、本動作例は、高精細化、大画面化による配線容量の増加に対応できる。また、この動作例における第三の動作状態では発光素子が発光しないため、CRTと似た表示動作となり、残像が残りにくくなることで、動画の表示が高画質となる。

【0038】この動作例で駆動する場合、スイッチSW1とスイッチSW2とが同一動作であるため、制御線CL1と制御線CL2とを共通化することができる。

【0039】この第三の動作例と上記の第二の動作例とを組み合わせることが出来る。すなわち、図に示すタイミングチャートに対し、第一の動作状態が終了する前にスイッチSW2をOFFさせるように変更を加えてもよい。

【0040】[第二の実施の形態]図5は、本発明の第二の実施の形態の1画素の構成を示す回路図である。図5に示すように、画素2内には、列方向に走る信号線SLと、行方向に走る制御線CL1~CL3、電圧供給線PB1~PB3が通過しており、そしてTFT Q、スイッチSW1~SW3、容量素子C、発光素子LEDが配備される。TFT Qのドレイン又はソースのいずれかの第一端は、電源線PB2と接続されており、TFT Qのドレインまたはソースのいずれかの第二端と発光素子LEDとの間にはスイッチSW3が、また、前記TFT Qの第二端と信号線SLとの間にはスイッチSW1が接続されている。発光素子LEDのスイッチSW3と反対側の端子は電源線PB1と接続されている。さらに、信号線SLとTFT Qのゲート間には、スイッチSW2が接続され、TFT Qのゲートと電源線PB3との間には、容量素子Cが接続されている。ここで、スイッチSW1、SW2、SW3は、それぞれ制御線CL1、CL2、CL3により制御されている。

【0041】本実施の形態の第一の動作例のタイミングチャートを図9に示す。本動作例は、第一の動作状態(電流記憶状態、行選択期間)に、プリチャージ(電圧印加)期間を電流書き込み期間それぞれ含む。このようにプリチャージ期間を設け、プリチャージ時に適当な電圧を印加することにより、特に低電流値を画素回路に記憶する場合、第一の動作状態の期間を短縮できる。

【0042】本実施の形態の第一の動作例では、第一の動作状態のプリチャージ期間において、図示された画素2が選択され、スイッチSW1、スイッチSW3をOFF、スイッチSW2をONとし、容量素子CとTFT Qのゲートに、信号線SLを通して、プリチャージ電圧を印加する。その後、第一の動作状態の電流書き込み期間において、前記第一、第二の実施の形態と同様に、スイッチSW1、SW2をON、スイッチSW3をOFFとし、信号線SLを通して供給される電流をTFT Qのドレイン-ソース間に流すような電圧が、容量素子CとTFT Qのゲートに印加されることにより、電流を記憶する。

【0043】前記第一の実施の形態の各動作例における第一の動作状態では、電流により容量素子Cに電圧を印加するため、その電流値が低い場合、信号線SLの負荷などの影響を受け、TFT Qのゲートや容量素子Cに印加される電圧が安定するまで時間がかかる。これより、第一の動作状態は、長期間必要となる。これに対し、本動作例では、第一の動作状態のプリチャージ期間は、TFT Qのゲートや容量素子Cに電圧をプリチャージするため、短時間で駆動でき、そのプリチャージ電圧を、電流書き込み期間においてTFT Qのゲートや容量素子Cに印加される電圧と近い適当な電圧とすることで、電流書き込み

期間を短縮できる。この時、第一の動作状態の期間（＝プリチャージ期間＋電流書き込み期間）を短縮することができる。

【0044】第二の動作状態（電流供給状態）は、図示した行以外の画素が選択された状態であり、前記第一の実施の形態と同様に、スイッチSW1、スイッチSW2をOFF、スイッチSW3をONとして、記憶した電流をTFT Qより発光素子LEDに供給する。

【0045】本動作例におけるプリチャージ動作は、前記第一の実施の形態のスイッチング動作のタイミングを変えず、信号線SLを通して画素2に印加する信号を変えることで同様に実現できる。しかし、前記第一の実施の形態では、前記第一の動作状態のプリチャージ期間において、信号線SLを通してTFT Qのゲートや容量素子Cに電圧を印加すると、TFT Qのゲートや容量素子Cに印加される電圧は、電流経路が存在するため、信号線SLに印加した電圧と異なる電圧となる可能性がある。一方、本第二の実施の形態では、前記第一の動作状態のプリチャージ期間において、スイッチSW2のみONであることにより、プリチャージ時に電流経路が存在しないため、TFT Qのゲートや容量素子Cに精度の高い電圧をプリチャージすることが可能となる利点を持つ。

【0046】また、本動作例の動作過程は、第一の動作状態におけるスイッチSW1のOFFからONへのタイミングの変更であり、前記第一の実施の形態の第二、第三動作例に、本変更を加えることで、従来の利点に加え、本動作例の持つ利点を備えることができる。一方、本第二の実施の形態は、前記第一の実施の形態のすべての動作例を行うこともでき、それに伴う利点も備えている。かつ、前記第一の実施の形態と同様に、それぞれの動作において、適当なトランジスタの導電型の選択や制御線を共通化することで、画素2の構成を簡単にすることが可能である。さらに、本第二の実施例の形態の画素回路は、第一の実施の形態の第一から第三の動作例と同じタイミングチャートで、第一の実施の形態と同様な動作を行うことも可能である。

【0047】[第三の実施の形態]図7は、本発明の第三の実施の形態の1画素の構成を示す回路図である。図7に示すように、画素2内には、列方向に走る信号線SLと、行方向に走る制御線CL1～CL3、電圧供給線PB1～PB3、PB5が通過しており、そしてTFT Q1、TFT Q2、スイッチSW1～SW3、容量素子C、発光素子LEDが配備される。TFT Q1とQ2は直列に接続し、TFT Q2のドレイン又はソースのTFT Q1と接続していない端は、電源線PB2と接続されており、TFT Q1のドレイン又はソースのTFT Q2と接続していない端と発光素子LEDとの間にはスイッチSW3が、また、前記TFT Q1のTFT Q2と接続していない端と信号線SLとの間にはスイッチSW1が接続されている。発光素子LEDのスイッチSW3と反対側の端子は電源線PB1と接続されている。さらに、前記TFT Q1のTFT Q2と接

続していない端とゲート間には、スイッチSW2が接続され、TFT Q1のゲートと電源線PB3との間には、容量素子Cが接続され、TFT Q2のゲートには、電圧供給線PB5が接続されている。ここで、スイッチSW1、SW2、SW3は、それぞれ制御線CL1、CL2、CL3により制御されている。

【0048】本第三の実施の形態では、電圧供給線PB5によりバイアスされたTFT Q2が存在する。これにより、例えば、TFT Q1とTFT Q2がカスコード接続となり、TFT Q1とTFT Q2を共に飽和領域で動作させられるため、飽和領域におけるTFT Q1のドレインバイアス依存性を改善できる特徴を備える。

【0049】本第三の実施の形態の動作は、TFT Q2を除き、前記第一の実施の形態と同じであり、前記第一の実施の形態それぞれの動作例における利点を得られる。さらに、本実施の形態は、スイッチの接続を変更することで、前記第二の実施の形態と同様の動作を実現でき、それぞれの動作例における利点を得られる。

【0050】[第四の実施の形態]図8は、本発明の第四の実施の形態の1画素の構成を示す回路図である。図8に示すように、画素2内を、列方向に走る信号線SLと、行方向に走る制御線CL1～CL4、電圧供給線PB1～PB4が通過しており、画素2内には、TFT Q、スイッチSW1～SW4、容量素子C、発光素子LEDが配備される。TFT Qのドレイン又はソースのいずれかの第一端は、電圧供給線PB2と接続されており、TFT Qのドレイン又はソースのいずれかの第二端と発光素子LEDとの間にはスイッチSW3が、また、前記TFT Qの第二端と信号線SLとの間にはスイッチSW1が接続されている。発光素子LEDのスイッチSW3と反対側の端子は電圧供給線PB1と接続されている。そして、スイッチSW4の一端が発光素子LEDとスイッチSW3の間に、他の一端が電圧供給線PB4と接続されている。さらに、前記TFT Qの第二端とTFT Qのゲート間には、スイッチSW2が接続され、TFT Qのゲートと電圧供給線PB3との間には、容量素子Cが接続されている。ここで、スイッチSW1、SW2、SW3、SW4は、それぞれ制御線CL1、CL2、CL3、CL4により制御されている。

【0051】図9は、図8に示す本発明の第四の実施の形態の動作例を示すタイミングチャートである。この動作例では、第一の動作状態（電流記憶状態、行選択期間）において図示された画素が選択され、制御線CL1によりスイッチSW1がON、制御線CL2によりスイッチSW2がONとなり、スイッチSW3とスイッチSW4は、制御線CL3と制御線CL4により、引き続きそれぞれOFF、ONとなっている。この状態で、第一の実施の形態の回路に対する場合と同様に、信号線SLからの電流がTFT Qのドレイン－ソース間に流れるような電圧が、TFT Qのゲートや容量素子Cに書き込まれると共に、スイッチSW4により、発光素子LEDの一端に電圧供給線PB4より電圧が印

加される。この電圧供給線PB4 から発光素子LED に印加される電圧は、発光素子LED が発光しない電圧とする。

【0052】次の第二の動作状態（電流供給状態）は、図8に示した画素以外の行が選択された状態であり、制御線CL1によりスイッチSW1がOFF、制御線CL2によりスイッチSW2がOFF、制御線CL3によりスイッチSW3がON、制御線CL4によりスイッチSW4がOFFとなる。

【0053】この状態において、TFT Qのゲート電圧は、第一の動作状態時に容量素子Cに記憶された電圧となり、TFT Qは、スイッチSW3を通して、第一の動作状態10で信号線SLより供給された電流を発光素子LEDに供給し、発光素子LEDを目的階調の輝度で発光させる。

【0054】次の第三の動作状態（電流停止状態）では、図示された画素の行以外の行が選択されている状態において、再び図示された画素の行が選択される前に、制御線CL3によりスイッチSW3をOFFさせ、制御線CL4によりスイッチSW4をONさせる。これにより、発光素子LEDへの電流の供給は停止されると共に発光素子LEDに蓄積されていた電荷は急速に排除され、発光素子LEDは動作（発光）しなくなる。

【0055】本動作は、図4に示した第一の実施の形態の第三の動作例と基本的に同じであるが、スイッチSW4により発光素子LEDに蓄積されていた電荷が強制的に排除されるため、発光素子の発光を発光素子への給電停止と同時に停止させることが可能になり、発光素子の発光期間の制御をより正確に行うことが可能になる。ここで、電圧供給線PB4により印加される電圧は、例えば、電圧供給線PB1により印加される電圧と同じ電圧値にすることができ、その場合、スイッチSW4の一端を電圧供給線PB4ではなく、電圧供給線PB1にすることが可能である。この時、電圧供給線PB4を必要としないため、画素2の構成を簡単にすることができる。

【0056】また、図9に示した動作例では、スイッチSW3スイッチSW4とは逆動作を行うスイッチであったが、これをスイッチSW4が第三の動作状態の開始時の一定時間のみONするスイッチとなるように変更してもよい。

【0057】さらに、本第四の実施の形態に対し、第一の実施の形態の第一、二の動作例に相当する動作を行うことができる。この場合、スイッチSW4は、スイッチSW3の逆動作を行うように動作させる。

【0058】本第四の実施の形態は、上述の第一の実施の形態のみではなく、第二、第三の実施の形態に、それぞれ、スイッチSW4と制御線CL4を追加することで、本第四の実施の形態の利点を得ることができる。その場合には、つまり、それぞれの実施の形態やその動作が元々備えていた利点を失うことなく、発光素子の発光時間の制御をより正確に行うことが可能になる。

【0059】前記第一から第四の実施の形態のそれぞれの動作において、第一の実施の形態で詳細に述べたよう

に、適当なトランジスタの導電型の選択や制御線を共通化することで、画素2の構成を簡単にすることが可能である。さらに、例えば、容量素子Cの記憶ノードと反対側の端子を電圧供給線PB1又はPB2に接続するようにして電圧供給線PB3を廃止することにより、構成を簡単化できる。一方、第一の動作状態と第二の動作状態における電源線PB3の印加電圧値を変更することで、発光素子に供給する電流を変更することができる。例えば、第二の動作状態における電源線PB3の電圧値を、第一の動作状態における電圧値よりもTFT Qがオフする側に変更すれば、ブート効果によりTFT Qのゲート電圧も同じ電圧分だけシフトするため、電流を流さない様にするができる。これにより、動画表示向上のための黒状態の挿入を簡単に行うことができる。

【0060】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。ただし、以下では、発光素子にて説明するが、これは電流負荷素子の一例であり、他の電流負荷素子でも適用できる。

20 【0061】[第1の実施例]図10は、本発明の第1の実施例の1画素の構成を示す。なお、以下の実施例の画素はすべて、図37に示す表示部における第K行第M列の画素であるものとする。本発明の第1の実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL3(#K)が通過しており、そしてp-TFT Qp、スイッチSW1～SW3、容量素子C、発光素子LEDが配備されている。p-TFT Qpのソースは電源線VCCに接続され、そのドレインは、スイッチSW1～SW3の一端に接続されている。そして、スイッチSW1の他端は信号線SL(#M)に、スイッチSW2の他端はp-TFT Qpのゲートに、スイッチSW3の他端は発光素子LEDの陽極にそれぞれ接続されている。スイッチSW1、SW2は制御線CL1(#K)の信号により制御され、スイッチSW3は制御線CL3(#K)の信号により制御される。発光素子LEDの陰極は接地線GNDと接続され、容量素子Cの一端はp-TFT Qpのゲートに、その他端は電圧供給線VS1に接続されている。電圧供給線VS1の電圧は一定とする。

【0062】本実施例の動作について、以下に説明する。本実施例の第一の動作状態を図11に、第二の動作状態を図12に、動作のタイミングチャートを図13に示す。本実施例の第一の動作状態（電流記憶状態、行選択期間）は、表示装置中のK行目が選択された状態であり、制御線CL1(#K)により、スイッチSW1、スイッチSW2がONとなり、制御線CL3(#K)により、スイッチSW3がOFFとなる。また、信号線SL(#M)には、発光素子LEDの電流-輝度特性に従って目的の階調に対応する電流が供給されている。即ち、図11に示すように、電源線VC Cからp-TFT Qpを通して信号線SL(#M)に向かって電流Iが流れる。

30 【0063】この第一の動作状態において、p-TFT Qp

は、ドレインゲート間がスイッチSW2により短絡されているため飽和領域で動作する。一方、スイッチSW3がOFFされているため、発光素子LEDには電流が流れず、発光素子LEDは動作(発光)しない。信号線SL(#M)から供給された電流は、p-TFT Qpに流れ、p-TFT Qpのゲート電圧は、p-TFT Qpの持つ電流能力に従って、前記電流をドレインソース間に流すような電圧に設定される。この時、発光素子LEDが持つ容量は、p-TFT Qpに電流を流す動作と無関係となり、信号線SL(#M)からの電流によって充放電する必要がなくなるため、p-TFT Qpのゲート電圧は、速やかに設定される。

【0064】本実施例の第二の動作状態(電流供給状態)は、表示装置中のK行目以外が選択された状態であり、制御線CL1(#K)の信号によりスイッチSW1、SW2がOFF、制御線CL3(#K)の信号によりスイッチSW3がONとなる。

【0065】この動作状態において、p-TFT Qpのゲート電圧は、容量素子Cによって第一の動作状態時のゲート電圧が保持されているため、第一の動作状態のp-TFT Qpのゲートソース間電圧と同じである。p-TFT Qpは、スイッチSW3を通して、第一の動作状態で信号線SL(#M)より供給された電流を、発光素子LEDに供給するので、発光素子LEDは、目的の階調の輝度となるような動作を行う(発光する)。即ち、この時、図9に示すように、電源線VCCからp-TFT Qp、発光素子LEDを通して接地線GNDに向かって図11のときと同じ電流Iが流れる。本第1の動作例では、上述のように電流を記憶するTFTと発光素子LEDに電流を供給するTFTが同じであるため、高い精度の電流を記憶・供給することが可能となる。

【0066】[第2の実施例]図14は、本発明の第2の実施例の画素の構成を示す回路図である。この第2の実施例は、第1の実施例に対し、電流を供給するTFTのチャンネル型をpチャンネル型からnチャンネル型に変えたものである。すなわち、第1の実施例のp-TFTに代えてnチャンネル型TFT(以下、n-TFT)が用いられている。本発明の第2の実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL3(#K)が通過しており、n-TFT Qn、スイッチSW1~SW3、容量素子C、発光素子LEDが配備されている。n-TFT Qnのソースは接地線GNDに接続され、そのドレインは、スイッチSW1~SW3の一端に接続されている。そして、スイッチSW1の他端は信号線SL(#M)に、スイッチSW2の他端はn-TFT Qnのゲートに、スイッチSW3の他端は発光素子LEDの陰極にそれぞれ接続されている。スイッチSW1、SW2は制御線CL1(#K)の信号により制御され、スイッチSW3は制御線CL3(#K)の信号により制御される。発光素子LEDの陽極は電源線VCCに接続され、容量素子Cの一端はn-TFT Qnのゲートに、その他端は電圧供給線VS1に接続されている。電圧供給線VS1の電圧は、一定である。

【0067】本実施例において、制御のタイミングチャートは、図13に示した第1の実施例と同じであり、そして、本実施例回路は、第1の実施例と同様の動作を行い、同様の利点を持つ。

【0068】[第3の実施例]図15は、本発明の第3の実施例の画素の構成を示す回路図であり、図16は、その動作を示すタイミングチャートである。

【0069】本実施例の画素2内には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)が通過しており、そしてp-TFT Qp1、p-TFT Qp2、n-TFT Qn1、n-TFT Qn2、容量素子C、発光素子LEDが配備されている。本実施例は、第1の実施例に対し、スイッチSW1としてn-TFT Qn1を、スイッチSW2としてn-TFT Qn2を、スイッチSW3としてp-TFT Qp2を用いたものである(但し、第1の実施例におけるp-TFT Qpがp-TFT Qp1となっている)。図16に示したタイミングチャートに従って行われる動作は、第1の実施例の場合と同様である。ただし、本実施例のように構成することにより、制御線を1本にすることができる。

【0070】[第4の実施例]図17は、本発明の第4の実施例の画素の構成を示す回路図であり、図18は、その動作を示すタイミングチャートである。

【0071】本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL2(#K)が通過しており、そしてp-TFT Qp1、p-TFT Qp2、n-TFT Qn1、n-TFT Qn2、容量素子C、発光素子LEDが配備されている。先の第3の実施例とは、制御線CL2(#K)が追加され、n-TFT Qn2のゲートが制御線CL2(#K)によって制御される点が異なる。図18に示したタイミングチャートに従って行われる動作は、先の第3の実施例と基本的に同じである(図16参照)。但し、本実施例においては、図18のタイミングチャートに示されるように、制御線CL2(#K)によってn-TFT Qn2を先にOFFさせ、その後に制御線CL1(#K)によってp-TFT Qp2、n-TFT Qn1をON、OFFさせている。このように動作させることにより、p-TFT Qp2やn-TFT Qn1のON/OFF動作に伴うノイズが、p-TFT Qp1のゲートに伝達されるのを防止することができ、このため、さらに精度の高い電流をp-TFT Qp1より発光素子LEDに供給することが可能になる。

【0072】[第5の実施例]図19は、本発明の第5の実施例の画素の構成を示す回路図であり、図20は、その動作を示すタイミングチャートである。

【0073】本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL2(#K)、制御線CL2B(#K)が通過しており、そしてp-TFT Qp1、p-TFT Qp2、n-TFT Qn1、n-TFT Qn2、n-TFT Qn3、容量素子C、発光素子LEDが配備されている。先の第4の実施例(図17参照)とは、制御線CL2B(#K)と、制御線CL2B(#K)で制御されるn-TF

T Qn3 が追加されている点が異なる。n-TFT Qn3 は、ソースドレイン間が短絡され、n-TFT Qn2 のゲート長(L)と幅(W)の比(W/L)に対し適当なゲート長と幅の比をもち、p-TFT Qp1 のゲートとn-TFT Qn2 のドレイン(又はソース)間に接続される。n-TFT Qn2 には容量(ゲートドレイン(又はソース)間容量)が付いているために、n-TFT Qn2 がONからOFFに転じる際には蓄積されていた電荷の移動が生じp-TFT Qp1 のゲート電位が乱される。n-TFT Qn3 は、この電荷の移動をキャンセルしてp-TFT Qp1 のゲートに生じる電圧誤差を補償するためのものであって、n-TFT Qn2 のゲートドレイン(又はソース)間容量と同等の容量を有し、n-TFT Qn2 の制御線CL2(#K)の反転信号が伝達される制御線CL2B(#K)によって制御される。多くの場合、n-TFT Qn3 のゲート長と幅の比は、n-TFT Qn2 のゲート長と幅の比の1/2とするが、タイミング条件等の影響によりこの比の値は変わる可能性がある。このn-TFT Qn3 を有する本実施例によれば、より精度の高い電流をp-TFT Qp1 により発光素子LEDに供給することが可能になる。

【0074】[第6の実施例]第6の実施例は、第3の実施例(図15参照)の全TFTのチャンネル型を反転させたものである。従って、本実施例の動作のタイミングチャートは、図16に示す第3の実施例のタイミングチャートに対し、制御線CL1(#K)、CL1(#(K+1))の信号を反転させたものとなる。

【0075】[第7の実施例]第7の実施例は、第4の実施例(図17参照)の全TFTのチャンネル型を反転させたものである。従って、本実施例の動作のタイミングチャートは、図18に示す第4の実施例のタイミングチャートに対し、制御線CL1(#K)、CL1(#(K+1))、CL2(#K)、CL2(#(K+1))の信号を反転させたものとなる。

【0076】[第8の実施例]第8の実施例は、第5の実施例(図19参照)の全TFTのチャンネル型を反転させたものである。従って、本実施例の動作のタイミングチャートは、図20に示す第5の実施例のタイミングチャートに対し、制御線CL1(#K)、CL1(#(K+1))、CL2(#K)、CL2(#(K+1))、CL2B(#K)、CL2B(#(K+1))の信号を反転させたものとなる。

【0077】[第9の実施例]図21は、本発明の第9の実施例の動作を示すタイミングチャートである。この実施例において用いられる表示装置の画素の構成は、図10に示される第1の実施例と同じである。

【0078】本実施例の第一の動作状態(電流記憶状態、行選択期間)は、表示装置中のK行目が選択された状態であり、制御線CL1(#K)により、スイッチSW1、スイッチSW2がONとなり、制御線CL3(#K)により、スイッチSW3がOFFとなる。また、信号線SL(#M)には、発光素子LEDの電流-輝度特性に従って目的とした階調に対応する電流が供給されている。

【0079】この第一の動作状態における動作は、図1

0~図13を参照して説明した第1の実施例のそれと同じであるので、詳細な説明は省略する。

【0080】本実施例の第二の動作状態(電流供給状態)は、表示装置中のK行目以外が選択された状態であり、制御線CL1(#K)により、スイッチSW1、スイッチSW2がOFF、制御線CL3(#K)により、スイッチSW3がONとなる。

【0081】この第二の動作状態において、p-TFT Qpのゲート電圧は、容量素子Cによって、第一の動作状態時のゲート電圧が保持されているため、p-TFT Qpのゲート-ソース間電圧は、第一の動作状態と同じである。この時、p-TFT Qpは、第一の動作状態で信号線SL(#M)より供給された電流を、スイッチSW3を通して発光素子LEDに供給するので、発光素子LEDは、目的の階調の輝度となるような動作を行う(発光する)。

【0082】本実施例の第三の動作状態(電流停止状態)は、第一の動作状態が開始する前の第二の動作状態の一部の期間を、制御線CL1(#K)によりスイッチSW1、スイッチSW2をOFF状態に維持したまま、制御線CL3(#K)によりスイッチSW3をOFFとしたものである。この期間では、スイッチSW3がOFFしているため、発光素子LEDに電流は供給されず、発光素子LEDは動作(発光)しない。

【0083】本実施例によれば、前記第1~8の実施例の、高速に電流を記憶でき、記憶した電流を高い精度で発光素子LEDに供給できる効果に加え、次の効果も期待できる。すなわち、本実施例では、第一から第三の動作状態の内、第二の動作状態は、発光素子LEDが発光しているのに対し、第一の動作状態は、短期間であるが発光素子LEDは発光せず、第三の動作状態は、発光しない。これより、表示装置として時間平均した輝度は、第一の動作状態の期間をT1、第二の動作状態の期間をT2、第三の動作状態の期間をT3とすれば、第二の動作状態における輝度のT2/(T1+T2+T3)倍となる。例えば、選択期間と制御の段数(行数)の積である1フレーム期間をTとし、T1=0.005T、T2=0.25T、T3=0.745Tとした場合、表示装置としての輝度は、第二の動作状態の輝度の0.25倍となる。そのため、本実施例では、第二の動作状態での発光素子LEDの輝度は、第三の動作状態がない動作例の輝度の約4倍を必要とする。よって、発光素子LEDの電流-輝度特性が比例関係にあるとすると、電流を4倍流す必要がある。従って、本実施例では第三の動作状態が存在することにより、他の実施例に比較して発光素子LEDに流す電流値を大きくできる。このため、信号線などの配線容量に充電する時間が短くでき、電流を記憶するのに必要な第一の動作状態の期間を短縮できる。従って、本実施例は、高精細化、大画面化による配線容量の増加と選択時間の短縮に対応できる。また、本実施例における第三の動作状態では発光素子LEDが発光しないため、CRTと似た表示動作とな

り、残像が残りにくくなることで、動画の表示が高画質となる。

【0084】[第10の実施例]図22は、本発明の第10の実施例の画素の構成を示す回路図である。本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL3(#K)が通過しており、そしてp-TFT Qp1、p-TFT Qp2、n-TFT Qn1、n-TFT Qn2、容量素子C、発光素子LEDが配備されている。本実施例の画素2は、第3の実施例(図12参照)の画素に対し、制御線CL3(#K)を追加し、これによりp-TFT Qp2を制御するようにしたものである。図23は、本実施例の動作を示すタイミングチャートであるが、これは、図21に示した第9の実施例の制御線CL3(#K)、CL3(#(K+1))の信号を反転させたものであり、本実施例回路の動作自体は、第9の実施例と同様である。

【0085】[第11の実施例]図24は、本発明の第11の実施例の画素の構成を示す回路図であり、図25は、その動作を示すタイミングチャートである。本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL2(#K)、制御線CL3(#K)が通過しており、そしてp-TFT Qp1、p-TFT Qp2、n-TFT Qn1、n-TFT Qn2、容量素子C、発光素子LEDが配備されている。本実施例の画素2は、第10の実施例(図22参照)の画素に対し、制御線CL2(#K)を追加し、これによりn-TFT Qn2を制御するようにしたものである。

【0086】図25に示したタイミングチャートに従って行われる動作は、図23に示した第10の実施例の動作と図17に示した第4の実施例の動作とを組み合わせたものである。すなわち、制御線CL2(#K)によってn-TFT Qn2を先にOFFさせ、その後制御線CL1(#K)、CL3(#K)によってn-TFT Qn1、p-TFT Qp2をOFF、ONさせて、p-TFT Qn1やn-TFT Qp2のON/OFF動作に伴うノイズがp-TFT Qp1のゲート端子に伝達されないようにした上で第二の動作状態に移行し、その後第三の動作状態(p-TFT Qp2がOFF)が実行される。

【0087】[第12の実施例]図26は、本発明の第12の実施例の画素の構成を示す回路図であり、図27は、その動作を示すタイミングチャートである。本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL2(#K)、制御線CL3(#K)が通過しており、そしてp-TFT Qp1、p-TFT Qp2、n-TFT Qn1、n-TFT Qn2、n-TFT Qn3、容量素子C、発光素子LEDが配備されている。本実施例の画素では、図24に示した第11の実施例の画素に対し、制御線CL3(#K)と、制御線CL2(#K)で制御されるn-TFT Qn3が追加されている。本実施例は、前記第11の実施例(図24参照)の画素に対し、制御線CL2B(#K)と制御線CL2B(#K)により制御さ

れるn-TFT Qn3を追加したものであり、前記第11の実施例と前記第5の実施例(図19参照)を組み合わせたものである。

【0088】図27に示したタイミングチャートに従って行われる動作は、図25に示した第11の実施例と図20に示した第5の実施例を組み合わせたもので、制御線CL2(#K)により動作するp-TFT Qn2のスイッチングノイズをn-TFT Qn3により吸収する特徴を備える。

【0089】上述の第9～12の実施例にそれぞれにおいて、前記第1の実施例に対する第2の実施例や、前記第3～5の実施例に対する第6～8の実施例のように、TFTの極性を変更したものも実施例として考えられる。その場合、前記第3～5の実施例に対する第6～8の実施例のように、スイッチTFTを用いている場合には、TFTの極性を変更すると共に、制御線の信号を反転する。

【0090】[第13の実施例]図28は、本発明の第13の実施例の画素の構成を示す回路図である。本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、制御線CL1(#K)、制御線CL2(#K)、制御線CL3(#K)が通過しており、そしてp-TFT Qp、スイッチSW1～SW3、容量素子C、発光素子LEDが配備されている。p-TFT Qpのソースは電源線VCCに接続されており、p-TFT Qpのドレインと発光素子LEDの陽極との間には制御線CL3(#K)によって制御されるスイッチSW3が、また、p-TFT Qpのドレインと信号線SLとの間には制御線CL1(#K)によって制御されるスイッチSW1が接続されている。発光素子LEDの陰極は接地線GNDに接続されている。さらに、信号線SLとp-TFT Qpのゲート間には、制御線CL2(#K)によって制御されるスイッチSW2が接続され、またp-TFT Qpのゲートと電圧供給線VS1との間には、容量素子Cが接続されている。本第13の実施例の動作について、以下に説明する。本実施例の動作のタイミングチャートを図29に示す。

【0091】本実施例の第一の動作状態(電流記憶状態、行選択期間)は、K行目が選択された状態であり、2つの期間より構成される。第一の期間(プリチャージ期間)は、制御線CL1(#K)によりスイッチSW1がOFF、制御線CL2(#K)によりスイッチSW2がON、制御線CL3(#K)によりスイッチSW3がOFFとなる。本期間において、p-TFT Qpのゲートには、信号線SL(#M)を通し、適当な電圧が印加される。第二の期間(電流書き込み期間)は、制御線CL1(#K)によりスイッチSW1をONとし、スイッチSW2、SW3は、第一の期間から変えない。本期間において、p-TFT Qpには、信号線SL(#K)を通し、階調に相当する電流が印加され、p-TFT Qpのゲート電圧は、前記電流がドレインソース間に流れる電圧に設定され、前記電圧を容量素子Cが保持(記憶)する。本電流書き込み期間は、前記実施例1～12の第一の動作状態に相当する。

【0092】本実施例の第二の動作状態(電流供給状

態)は、表示装置中のK行目以外が選択された状態であり、制御線CL1(#K)の信号によりスイッチSW1、SW2がOFF、制御線CL3(#K)の信号によりスイッチSW3がONとなる。本動作状態において、前記実施例1～12の第二の動作状態と同様に、p-TFT Qpは、発光素子ELDに第一の動作状態で記憶した電流を供給する。

【0093】本実施例は、第一の動作状態において、p-TFT Qpのゲートに電圧を印加するプリチャージ期間を備えことを特徴とする。プリチャージ期間に適当なプリチャージ電圧をp-TFT Qpのゲートに印加しておくことで、電流書き込み期間を補正程度のための短時間に行うことができ、第一の動作状態の期間(プリチャージ期間+電流書き込み期間)を短縮することができる。実施例1～12においても、同様なプリチャージ期間を設ける第一の動作状態を実現できるが、プリチャージ期間に電流経路が残る。これに対し、本実施例は、プリチャージ期間においてスイッチSW1をOFFにすることで、電流経路が残らず、電圧を高い精度で印加できる。

【0094】ここで、本第13の実施例の構成は、前記第1の実施例のスイッチSW2の接続を変更したものであるため、前記第1～12の実施例において、本第13の実施例のようにスイッチSW2の配置を変更した発明も同様に実現できる。図30に、前記第三の実施例(図15)からスイッチSW2の接続を本第13の実施例のように変更した例を示す。これらの変更された回路は、前記第1～12の実施例やプリチャージ動作を含む本第13の実施例の動作を、それぞれの利点を備えたまま行うことが可能である。

【0095】[第14の実施例]図31は、本発明の第14の実施例の画素の構成を示す回路図である。本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、VS3、制御線CL1(#K)、制御線CL3(#K)が通過しており、そしてp-TFT Qp1、p-TFT Qp2、スイッチSW1～SW3、容量素子C、発光素子LEDが配備されている。p-TFT Qp1のソースは、p-TFT Qp2を通して、電源線VCCに接続されており、p-TFT Qp1のドレインと発光素子LEDの陽極との間には制御線CL3(#K)によって制御されるスイッチSW3が、また、p-TFT Qp1のドレインと信号線SL(#M)の間には制御線CL1(#K)によって制御されるスイッチSW1が接続されている。発光素子LEDの陰極は接地線GNDに接続されている。さらに、p-TFT Qp1のゲートドレイン間には、制御線CL1(#K)によって制御されるスイッチSW2が接続され、p-TFT Qp1のゲートと電圧供給線VS1の間には、容量素子Cが接続され、p-TFT Qp2のゲートには電圧供給線VS3が接続されている。

【0096】本第14の実施例の動作は、前記第1の実施例と同じである。ただし、本実施例には、電圧供給線VS3によりバイアスされたp-TFT Qp2が存在する。これにより、例えば、p-TFT Qp1とp-TFT Qp2を共に飽和領

域で動作させられるため、飽和領域におけるp-TFT Qp1のドレイン電圧依存性を改善できる特徴を備える。

【0097】ここで、本第14の実施例の構成は、前記第1の実施例に、p-TFT Qp2を加えたものであるため、前記第1～12の実施例において、本第14の実施例のようにp-TFTを付け加える発明も同様に実現できる。図32に、前記第10の実施例(図22)からp-TFT Qp3を追加した例を示す。さらに、前記第13の実施例に、本第14の実施例のようにp-TFTを付け加えたものも同様に実現できる。

【0098】[第15の実施例]図33は、本発明の第15の実施例の画素の構成を示す回路図であり、図34は、本実施例の動作を示すタイミングチャートである。本実施例の画素2には、信号線SL(#M)、電源線VCC、接地線GND、電圧供給線VS1、電圧供給線VS2、制御線CL1(#K)、制御線CL3(#K)、制御線CL4(#K)が通過しており、そしてp-TFT Qp、スイッチSW1～SW4、容量素子C、発光素子LEDが配備されている。p-TFT Qpのソースは電源線VCCに接続されており、p-TFT Qpのドレインと発光素子LEDの陽極との間には制御線CL3(#K)によって制御されるスイッチSW3が、また、p-TFT Qpのドレインと信号線SL(#M)の間には制御線CL1によって制御されるスイッチSW1が接続されている。発光素子LEDの陰極は接地線GNDに接続されている。そして、発光素子LEDの陽極と電圧供給線VS2の間には制御線CL4(#K)によって制御されるスイッチSW4が接続されている。さらに、p-TFT Qpのドレインゲート間には、制御線CL1(#K)によって制御されるスイッチSW2が接続され、またp-TFT Qpのゲートと電圧供給線VS1の間には、容量素子Cが接続されている。

【0099】図34における本実施例の第一の動作状態(電流記憶状態、行選択期間)では、表示装置中のK行目が選択された状態であり、制御線CL1(#K)により、スイッチSW1、スイッチSW2はON、制御線CL3(#K)により、スイッチSW3はOFF、制御線CL4(#K)により、スイッチSW4はONとなる(ただし、本動作状態において、スイッチSW4は、ON/OFFどちらでも動作可である。)。また、信号線SL(#M)には、発光素子LEDの電流-輝度特性に従って目的の階調に対応する電流が供給されている。本第一の動作状態において、p-TFT Qpのゲートは、信号線SL(#M)を通して供給される電流をp-TFT Qpのドレインソース間に流す電圧となる。

【0100】本実施例の第二の動作状態(電流供給状態)は、表示装置中のK行目以外が選択された状態であり、制御線CL1(#K)により、スイッチSW1、スイッチSW2はOFF、制御線CL3(#K)により、スイッチSW3がON、制御線CL4(#K)により、スイッチSW4がOFFとなる。この第二の動作状態において、p-TFT Qpのゲート電圧は、容量素子Cによって、第一の動作状態時のゲート電圧が保持されているため、p-TFT Qpのゲートソース間電圧

は、第一の動作状態と同じである。この時、第一の動作状態で信号線SL(#M)より供給された電流を、スイッチSW3を通して発光素子LEDに供給するので、発光素子LEDは、目的の階調の輝度となるような動作(発光)を行う。

【0101】本実施例の第三の動作状態(電流停止状態)は、表示装置中のK行目以外の行が選択された状態であり、制御線CL1(#K)によりスイッチSW1とスイッチSW2はOFF状態に維持されたまま、制御線CL3(#K)によりスイッチSW3はOFFに、制御線CL4(#K)によりスイッチSW4はONになされる期間である。この動作状態の開始時に、スイッチSW3がOFF、スイッチSW4がONとなり、発光素子LEDに電流は供給されず、発光素子の陽極には電圧VS2が印加される。電圧VS2を発光素子LEDの動作電圧よりも低くすると、本動作状態の開始時に、発光素子LEDは、瞬時に動作(発光)しなくなる。

【0102】本実施例によれば、他の実施例と同様に、高速に電流を記憶でき、記憶した電流を高い精度で発光素子LEDに供給できる。

【0103】また、本実施例によれば、第9～第12の実施例と同様に、信号線に流れ、発光素子LEDに流す電流値を大きくできるため、信号線などの配線容量に充電する時間が短くでき、電流を記憶するのに必要な第一の動作状態の期間を短縮できる。従って、本実施例は、高精細化、大画面化による配線容量素子Cの増加と選択時間の短縮に対応できる。

【0104】さらに、本実施例では、スイッチSW4を設け、第三の動作状態の開始時にONさせて発光素子LEDに電圧VS2を印加することで、瞬時に発光を停止させることができる。第9～第12の実施例では、スイッチSW3により電流経路が遮断されても、発光素子自身が持つ容量に蓄積されている電荷が存在するため、発光素子には電流が流れ、その電圧が十分低くなるまで、発光素子は、動作(発光)する。この発光は、第二の動作状態での輝度と、それぞれの動作状態の期間により表示装置の輝度を定める場合の誤差原因となる。一方、本実施例では、スイッチSW4により、瞬時に発光を停止させることができるため、第二の動作状態での輝度と、第一、第二、第三の動作状態の期間により、高い精度で表示装置の輝度を定めることができる。また、第9～第12の実施例と同様に、第三の動作状態において発光が停止するため、CRTと似た表示動作となり、動画の表示が高画質となる。

【0105】ここで、本第15の実施例の構成は、前記第1の実施例(図10)に、スイッチSW4と制御線CL4(#K)と電源供給線VS2とを加えたものであるため、前記第1～第12の実施例において、本第15の実施例のようにスイッチSW4又はTFTとその制御線を付け加える発明も同様に実現できる。図35に、前記第3の実施例(図15)にn-TFT Qn3、電圧供給線VS2を追加した例

を示し、図36に、前記第10の実施例に(図22)にn-TFT Qn3、電圧供給線VS2を追加した例を示す。さらに、前記第13、第14の実施例にスイッチSW4(又はスイッチ動作を行うTFT)を付け加えることで、前記第13、第14の実施例の特徴に加え、本実施例と同じ特徴を持つものを同様に実現できる。

【0106】本第15の実施例における、電圧供給線VS2は、第三の動作状態に瞬時に発光を停止させるための電圧値を持てばよい。従って、例えば、接地線GNDと共通化することにより、本実施例の画素2の構成を簡単にすることができる。

【0107】[第16の実施例]前記第1～第15の実施例において、一端がTFTのゲートに接続している容量素子の一端に接続している電圧供給線VS1は、一定電圧として考えているため、前記電圧供給線VS1として電源線VCCや接地線GNDを使用することが可能であり、その場合構成を簡略化できる。また、電圧供給線VS1は、第一の動作状態と他の動作状態において電圧値を変えることで、発光素子に供給する電流値を変更することが可能である。

【0108】例えば、前記電圧供給線VS1の電圧を、第一の動作状態の電圧値から前記TFTがオフする程度電圧をシフトすることで、ブート効果により、前記TFTをオフすることが可能となる。本動作を発光表示装置において全体におこなったり、1ラインごとに行ったりすれば、全体を、又は、1ラインごとに黒表示(発光素子を動作させない状態)にすることが可能となる。

【0109】以上好ましい実施の形態、実施例について説明したが、本発明はこれらに限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なるものである。例えば、前述のように、発光素子以外の無機ELや発光ダイオード等の有機EL素子以外の素子であってもよく、より一般的な電流負荷素子でよい。また、発光素子の電流経路に挿入される第三のスイッチ(SW3)は発光素子の駆動トランジスタ側ではなく電源線(または接地線)側であってもよい。さらに、実施例では、第四のスイッチ(SW4)は、第三のスイッチが早期にOFFされる場合のみに設置されていたが、第三のスイッチが第一のスイッチのON時にOFFされる表示装置に設置されてもよい。さらに、本発明に使用しているスイッチは、TFTに特定しているものではない。また、スイッチは、基本的にスイッチの動作で規定しており、構成を簡単にできる例を前記実施例において説明しているが、動作を満たせば、スイッチに使用されるトランジスタの極性は限定されない。

【0110】

【発明の効果】第一の効果は、精度の高い電流を電流負荷素子に供給できる点である。その理由は、第1に、電流により信号線に信号を与えるようにすると共に信号線に流れる電流を記憶するトランジスタと電流負荷素子の

電流を供給するトランジスタと同じものとしたことで、トランジスタの特性ばらつきに電流負荷素子の動作の程度が影響されなくなったからであり、第2に、電流負荷素子に電流を供給しない状態で信号線からの電流を記憶するため正確に信号線からの電流を記憶できるためである。

【0111】第二の効果は、電流を記憶する時間が短く、高精細化に対応できる点である。その理由は、電流を記憶する状態では、電流を記憶するトランジスタと電流負荷素子の間のスイッチがOFF となるため、発光素子の大きな負荷（並列の容量と抵抗）に影響されることなく、電流を記憶させる動作が可能であるためである。

【0112】また、スイッチSW2 をスイッチSW1 より早くOFF させる実施例によれば、スイッチSW1 が変動する際に発生するノイズが発光素子を駆動するTFT のゲートに伝達されないようにすることができ、発光素子により高い精度の電流を供給することが可能になる。

【0113】さらに、スイッチSW2 を、信号線と電流を供給するトランジスタのゲートの間に挿入する実施例によれば、精度の高いブリチャージ動作が可能となり、電流を記憶する期間を短縮することができる。

【0114】そして、電流を供給するトランジスタと電源線との間にトランジスタを入れる実施例によれば、そのトランジスタのゲートに適当なバイアスをかけることで、電流を供給するトランジスタのドレイン電流のドレイン電圧依存性を改善でき、精度の高い電流を電流負荷素子に供給することが可能となる。

【0115】また、電流負荷素子が発光素子の場合には、画素の非選択期間中に、発光素子に電流を流さない動作状態を設ける実施例によれば、記憶させる電流値を大きくして電流を記憶させる動作をより短時間で行うことが可能になる上に、動作がCRT 的になり残像が残りにくくなるため、動画表示を高画質にできる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態の画素の構成を示す図である。

【図2】本発明の第一の実施の形態の動作例を示すタイミングチャート（その1）である。

【図3】本発明の第一の実施の形態の動作例を示すタイミングチャート（その2）である。

【図4】本発明の第一の実施の形態の動作例を示すタイミングチャート（その3）である。

【図5】本発明の第二の実施の形態の画素の構成を示す図である。

【図6】本発明の第二の実施の形態の動作例を示すタイミングチャートである。

【図7】本発明の第三の実施の形態の画素の構成を示す図である。

【図8】本発明の第四の実施の形態の画素の構成を示す図である。

【図9】本発明の第四の実施の形態の動作例を示すタイミングチャートである。

【図10】本発明の第1の実施例の画素の構成を示す図である。

【図11】本発明の第1の実施例の動作説明図（その1）である。

【図12】本発明の第1の実施例の動作説明図（その2）である。

【図13】本発明の第1の実施例の動作を示すタイミングチャートである。

【図14】本発明の第2の実施例の画素の構成を示す図である。

【図15】本発明の第3の実施例の画素の構成を示す図である。

【図16】本発明の第3の実施例の動作を示すタイミングチャートである。

【図17】本発明の第4の実施例の画素の構成を示す図である。

【図18】本発明の第4の実施例の動作を示すタイミングチャートである。

【図19】本発明の第5の実施例の画素の構成を示す図である。

【図20】本発明の第5の実施例の動作を示すタイミングチャートである。

【図21】本発明の第9の実施例の動作を示すタイミングチャートである。

【図22】本発明の第10の実施例の画素の構成を示す図である。

【図23】本発明の第10の実施例の動作を示すタイミングチャートである。

【図24】本発明の第11の実施例の画素の構成を示す図である。

【図25】本発明の第11の実施例の動作を示すタイミングチャートである。

【図26】本発明の第12の実施例の画素の構成を示す図である。

【図27】本発明の第12の実施例の動作を示すタイミングチャートである。

【図28】本発明の第13の実施例の画素の構成を示す図（その1）である。

【図29】本発明の第13の実施例の動作を示すタイミングチャートである。

【図30】本発明の第13の実施例の画素の構成を示す図（その2）である。

【図31】本発明の第14の実施例の画素の構成を示す図（その1）である。

【図32】本発明の第14の実施例の画素の構成を示す図（その2）である。

【図33】本発明の第15の実施例の画素の構成を示す図（その1）である。

【図34】本発明の第15の実施例の動作を示すタイミングチャートである。

【図35】本発明の第15の実施例の画素の構成を示す図（その2）である。

【図36】本発明の第15の実施例の画素の構成を示す図（その3）である。

【図37】発光表示装置の表示部の概略平面図である。

【図38】第一の従来例の画素の構成を示す図である。

【図39】第二の従来例の画素の構成を示す図である。

【図40】第三の従来例の画素の構成を示す図である。

【符号の説明】

1 表示装置部

2 画素

* C 容量素子

CL、CL1~CL4 制御線

GND 接地線

LED 発光素子

PB1~PB3、VCC 電源線

Q、Q1、Q2 TFT

Qn、Qn1~Qn4 n-TFT (nチャネル型TFT)

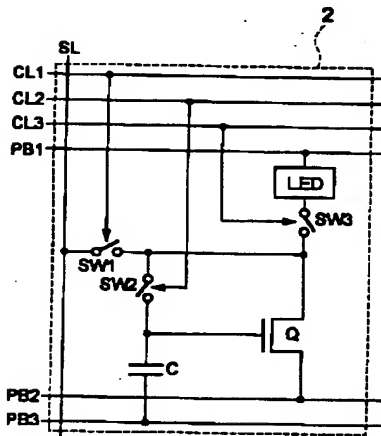
Qp、Qp1~Qp4 p-TFT (pチャネル型TFT)

SL 信号線

SW、SW1~SW4 スイッチ

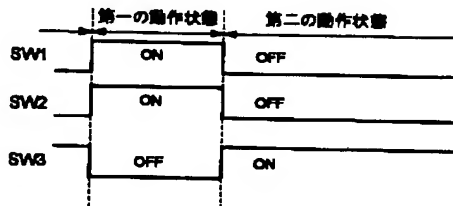
*

【図1】

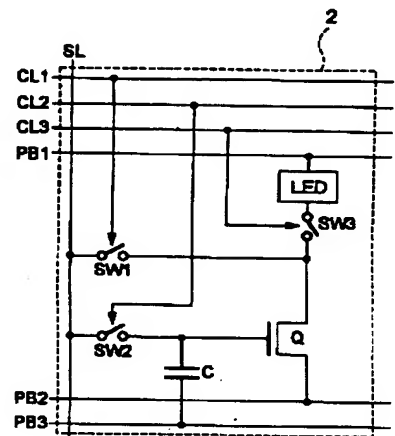


2: 画素
C: 容量素子
CL1~CL3: 制御線
LED: 発光素子
PB1~PB3: 電源線
SL: 信号線

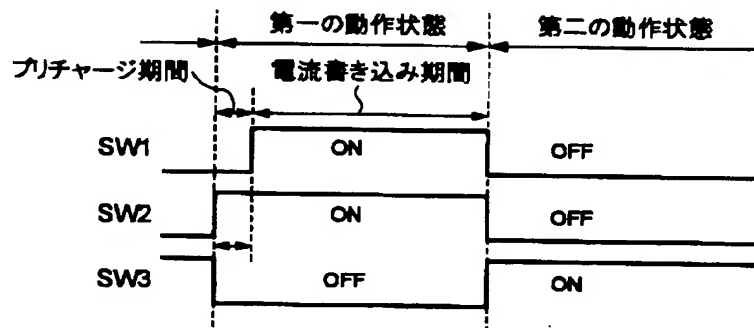
【図2】



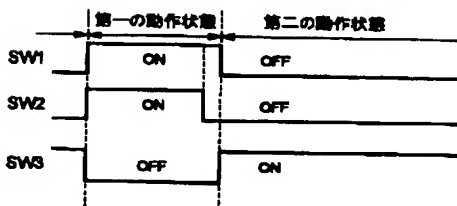
【図5】



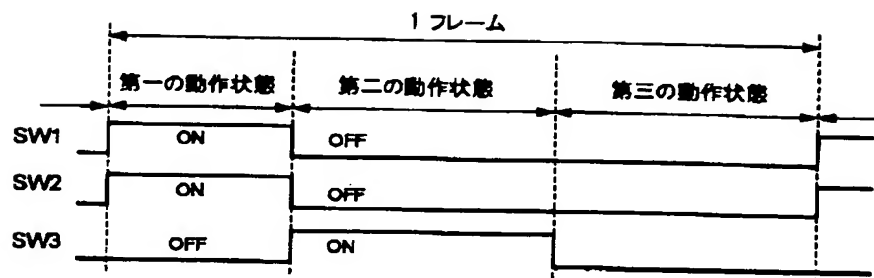
【図6】



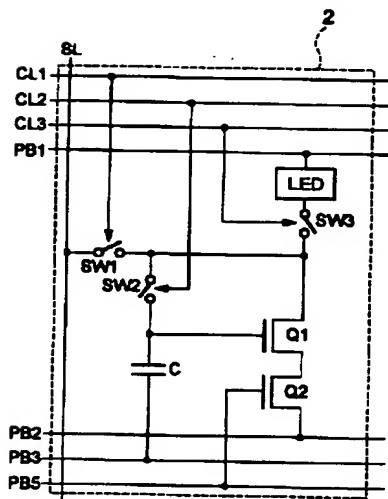
【図3】



【図4】

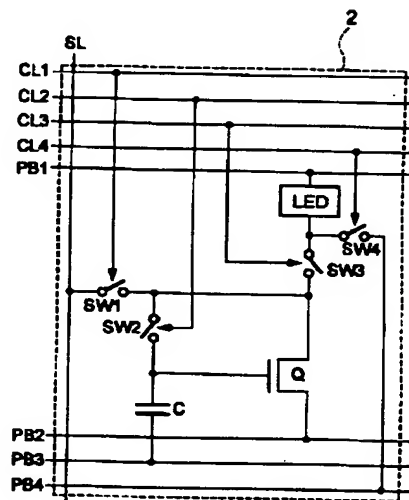


【図7】



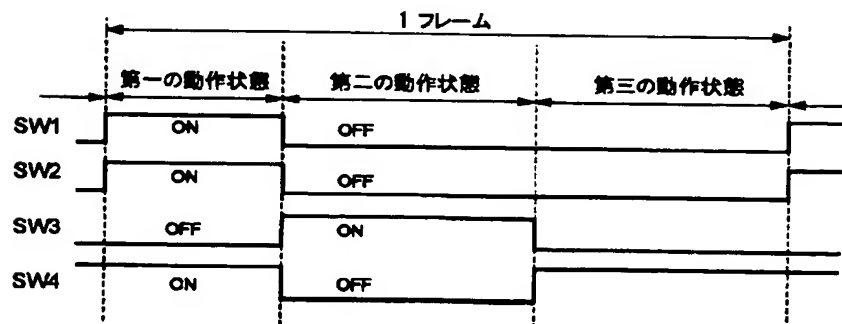
PB5: 電源線

【図8】

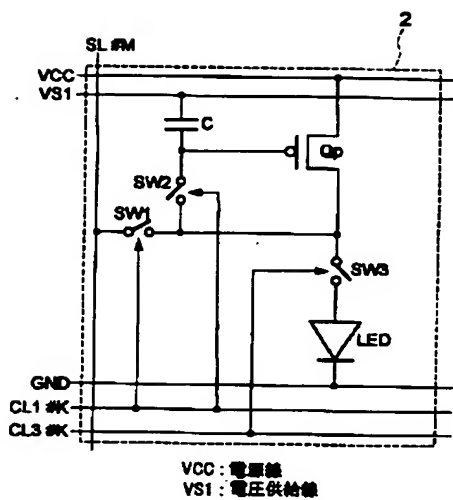


2: 図素
 C: 容量素子
 CL1~CL4: 制御線
 LED: 発光素子
 PB1~PB4: 電源線
 SL: 信号線

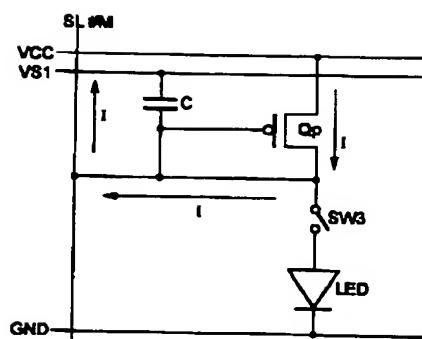
【図9】



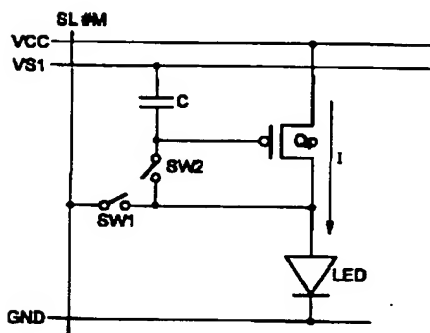
【図10】



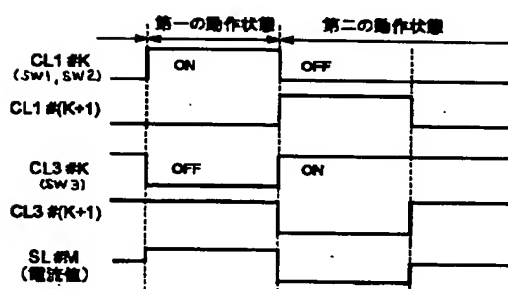
【図11】



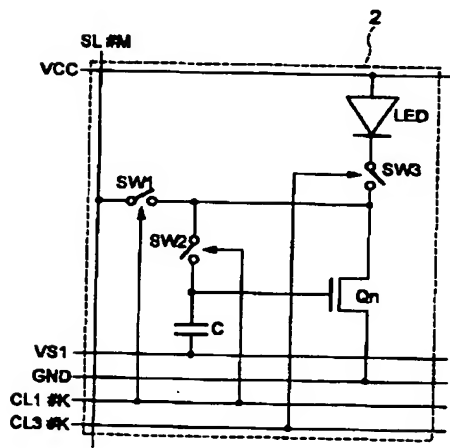
【図12】



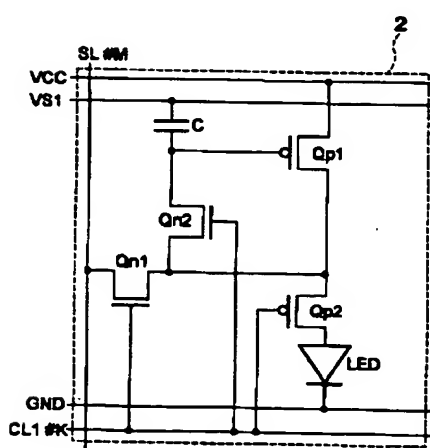
【図13】



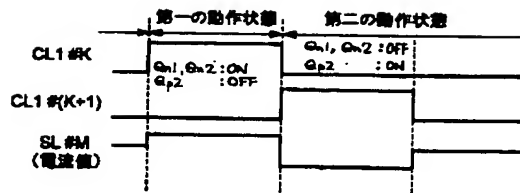
【図14】



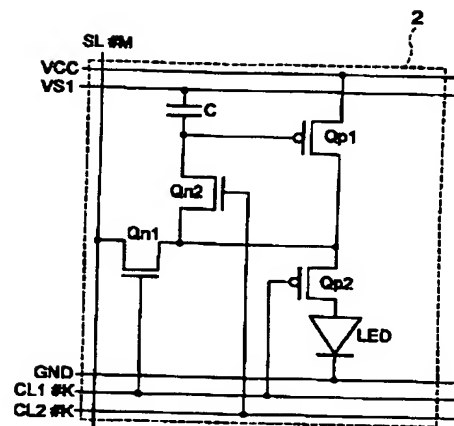
【図15】



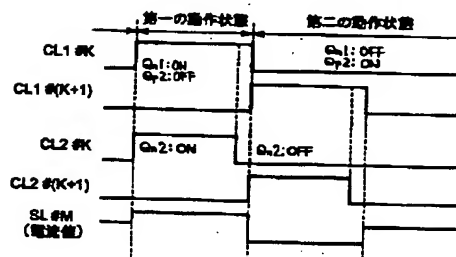
【図16】



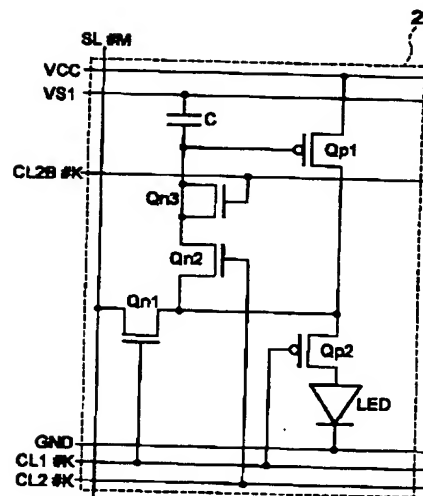
【図17】



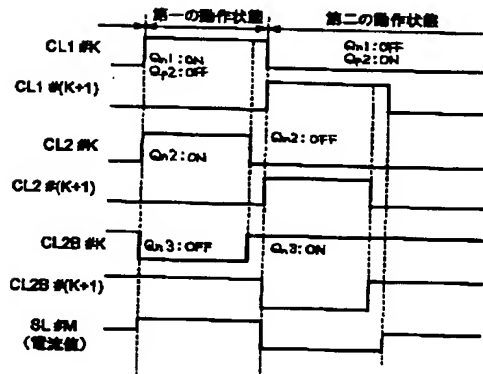
【図18】



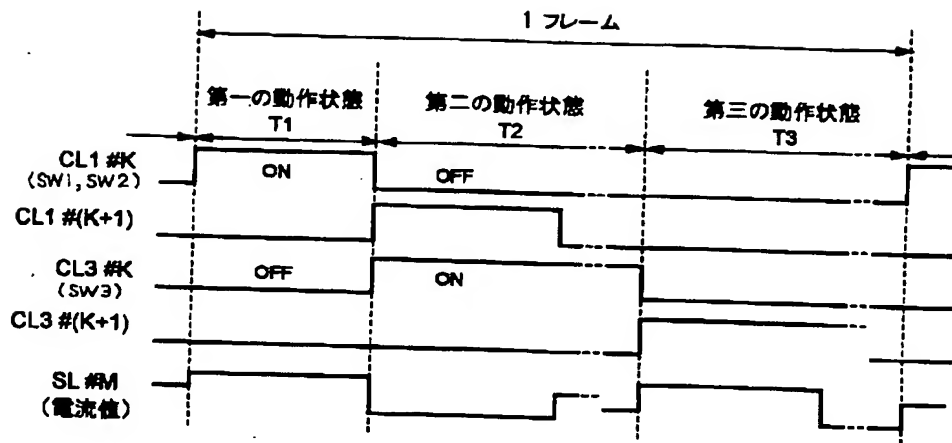
【図19】



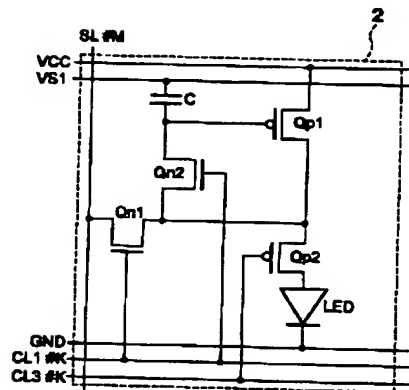
【図20】



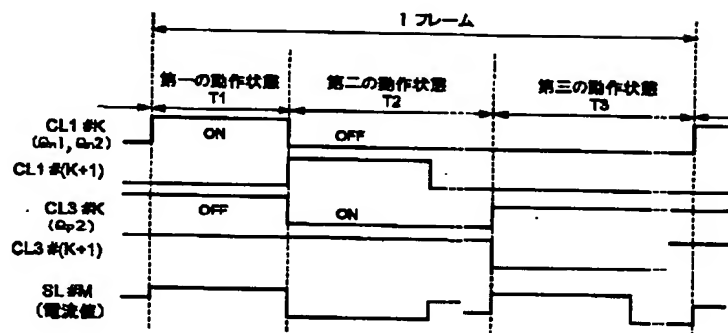
【図21】



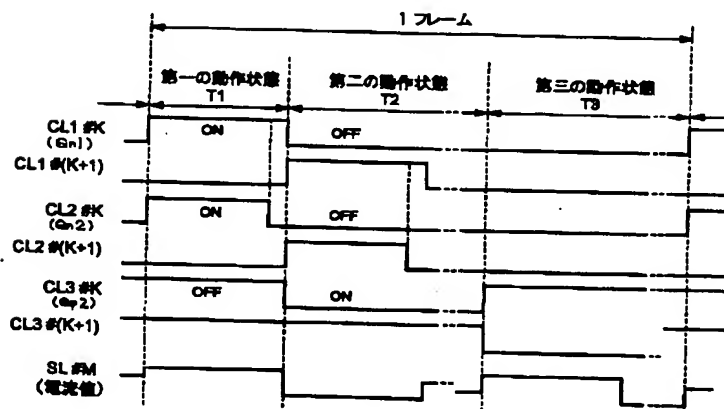
【図22】



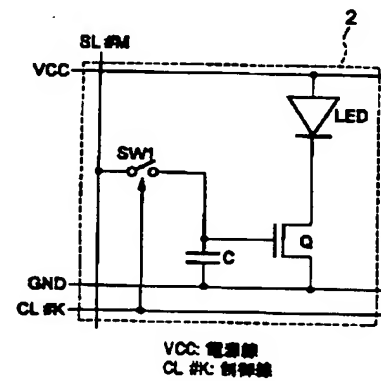
【図23】



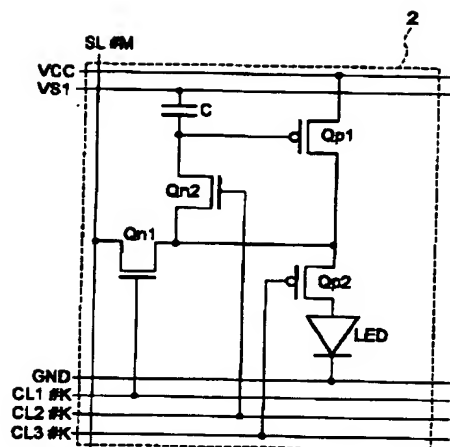
【図25】



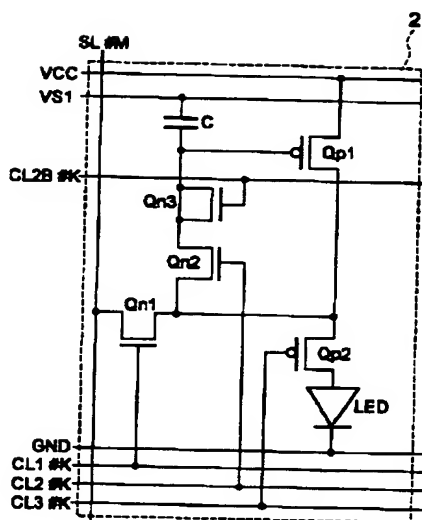
【図38】



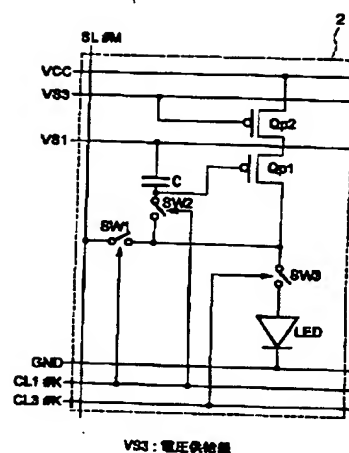
【図24】



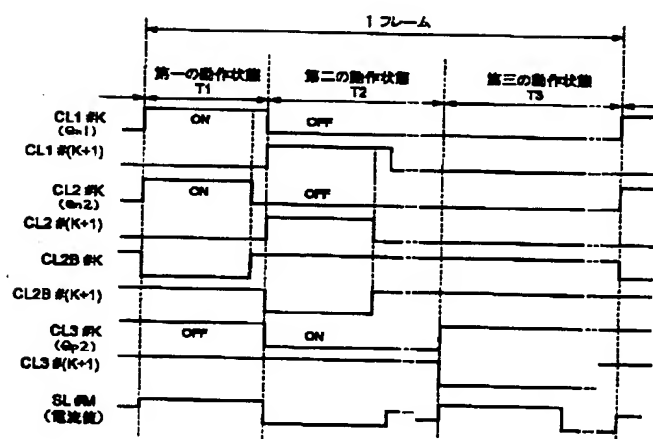
【図26】



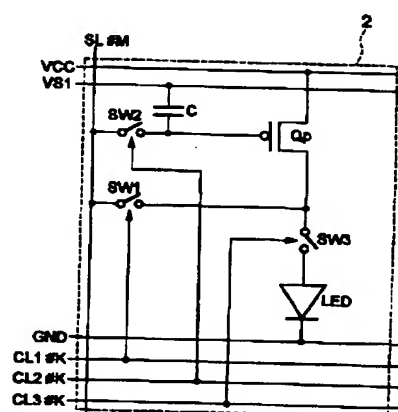
【図31】



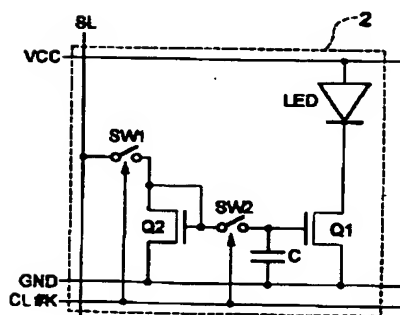
【図27】



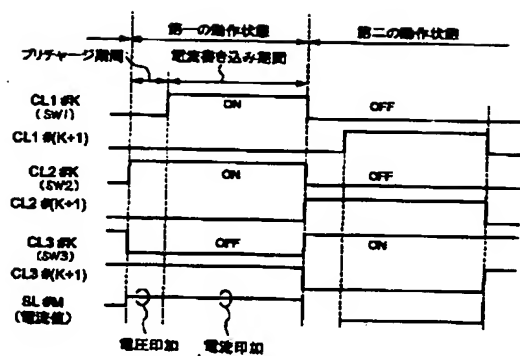
【図28】



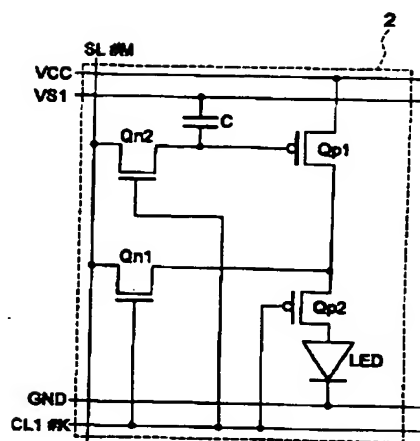
【図39】



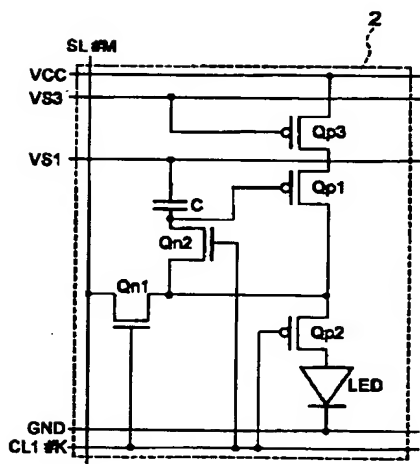
【図29】



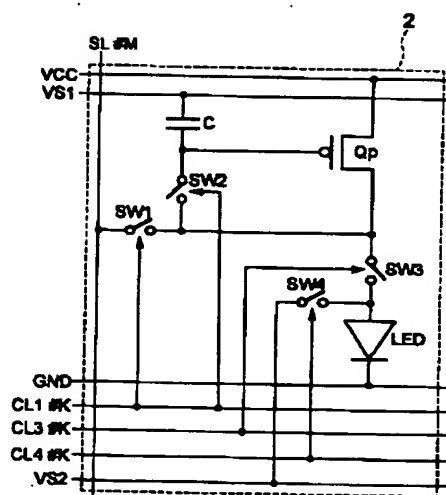
【図30】



【図32】

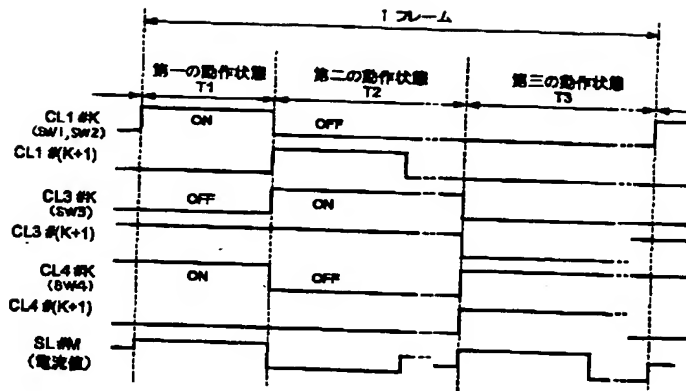


【図33】

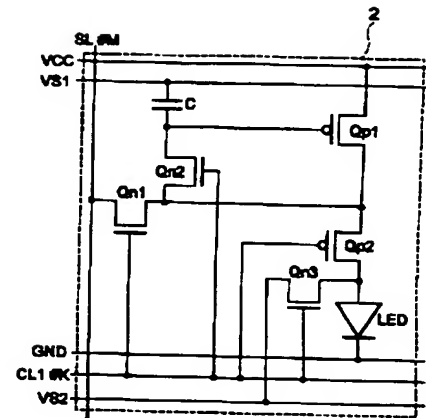


VS2: 電圧供給線

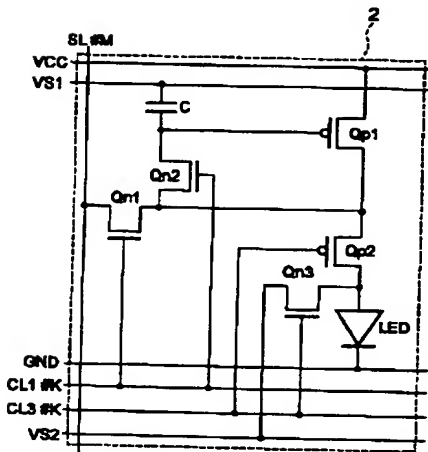
【図34】



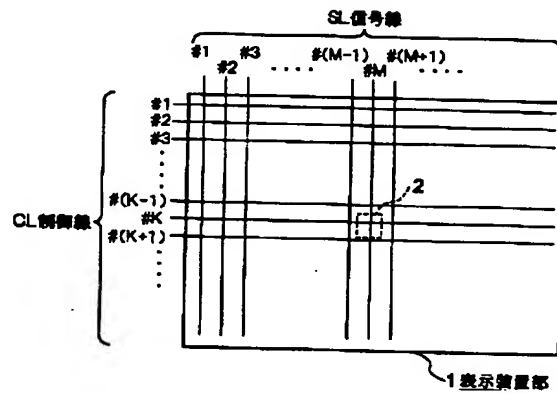
【図35】



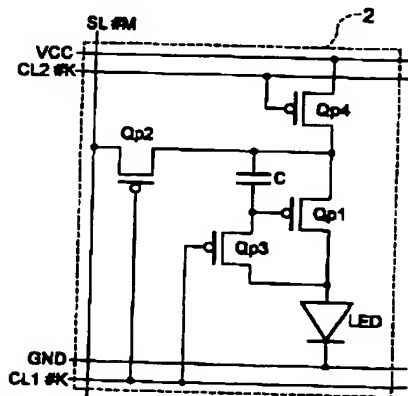
【図36】



【図37】



【図40】



フロントページの続き

(51)Int.Cl.	識別記号	F I	ターム (参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 D
	6 4 2		6 4 2 A
H 0 3 K 17/00		H 0 3 K 17/00	M
17/693		17/693	C

F ターム (参考) 5C080 AA06 BB05 DD05 EE28 FF11
 JJ02 JJ03 JJ04
 5C094 AA25 AA53 BA03 BA27 CA19
 DA09 DB01 EA04 EA05
 5J055 AX02 AX63 BX09 CX29 DX20
 DX44 EX07 EY10 EY14 EY21
 EZ68 FX04 FX27 GX01 GX04